

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-211854

(43)Date of publication of application : 20.08.1996

---

(51)Int.Cl.

G09G 3/36

G02F 1/133

H01L 29/786

---

(21)Application number : 07-200051

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 04.08.1995

(72)Inventor : FURUKAWA MASAYUKI

KIHARA KATSUYA

MARUSHITA YUTAKA

---

(30)Priority

Priority number : 06295027    Priority date : 29.11.1994    Priority country : JP

---

### (54) DRIVER CIRCUIT FOR DISPLAY DEVICEAND DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide the driver circuit of a display device capable of generating complementary clock signals whose phase deviations are small.

CONSTITUTION: The X driver of a liquid crystal display module is constituted of an analog switch and a shift register 15. Plural shift registers SR1 to SRm connected in series are provided in the shift register 15. Inverter circuits 19 are provided in respective shift registers SR1 to SRm and clock signals having opposite phases the inverses of CK1 are generated from a clock signal having a positive phase CK1 by inverter circuits 19. Thenrespective shift registers SR1 to SRm perform the ON/OFF controls of the analog switch based on the clock signal of the positive phase CK1 and the generated clock signals having the opposite phases the inverses of CK1.

---

### CLAIMS

---

[Claim(s)]

[Claim 1]A driver circuit of a display which inputs only a clock signal of a non-inverter among complementary clock signalsand generated a clock signal of an opposite phase

based on a clock signal of the non-inverter in a driver circuit of a display provided with a shift registers group which operates based on a complementary clock signal.

[Claim 2] In a driver circuit of a display which inputs a picture signal samples the image data by a sampling transistor group by which on-off control is carried out in a shift registers group which operates based on a clock signal of a non-inverter and an opposite phase transmits to a pixel cell and displays a picture of a picture signal. A clock signal of a non-inverter which inputted a clock signal of said non-inverter and provided an inverter circuit which generates a clock signal of an opposite phase based on a clock signal of the non-inverter in [ at least one or more ] a driver circuit and said shift registers group inputted. A driver circuit of a display it was made to operate based on a clock signal of an opposite phase generated by inverter circuit.

[Claim 3] A driver circuit of the display according to claim 2 which said inverter circuit received for two or more blocks of every which consist of two or more shift registers which constitute said shift registers group and was provided respectively.

[Claim 4] A driver circuit of a display which said inverter circuit established in a shift register which constitutes said shift registers group respectively.

[Claim 5] In a driver circuit of a display which inputs image data samples the image data by a sampling transistor group by which on-off control is carried out in a shift registers group which operates based on a clock signal of a non-inverter and an opposite phase transmits to a pixel cell and displays image data. An inverting circuit which comprises an inverter circuit connected in parallel and an N-channel metal oxide semiconductor transistor inputs a clock signal of a non-inverter and the clock signal generates a clock signal of an opposite phase and is outputted. It comprises an inverter circuit connected in series and an N-channel metal oxide semiconductor transistor. Input a clock signal of a non-inverter and it has a complementary signal generating circuit which comprised a noninverting circuit which generates and outputs the clock signal and a clock signal in phase. Each shift register which constitutes said shift registers group. A driver circuit of a display which transmits a start pulse which inputted a clock signal of a non-inverter generated by said complementary signal generating circuit and an opposite phase respectively and was inputted based on those clock signals one by one and was made to carry out on-off control of said sampling transistor group respectively.

[Claim 6] A driver circuit of the display according to claim 5 which establishes an input protection circuit which comprised a diode and resistance in said inverting circuit and a noninverting circuit respectively and inputted a clock signal via the input protection circuit.

[Claim 7] A display module which equipped any 1 paragraph of the claims 1-6 with a driver circuit of a display of a statement. A display which was connected to the display module inputted a video signal from the exterior generated a picture signal based on the video signal and a clock signal of a non-inverter and comprised a driving circuit part to output.

[Claim 8]The display comprising according to claim 7:

A synchronizing separator circuit which said driving circuit part inputs a video signal from the exteriorand separates a synchronized signal from the video signal.

A timing controller which inputs a synchronized signal separated by said synchronizing separator circuitand generates timing signalssuch as a clock signal of a non-inverterbased on the synchronized signal.

A video signal processing circuit which generates and outputs a picture signal from a video signal which inputted a video signal with which said synchronized signal was separatedinputted a timing signal generated by said timing controllerand was inputted based on the timing signal.

[Claim 9]A driver circuit of a display constituted by thin film transistor to which a driver circuit of said display makes a polycrystalline silicon film an active layer in a driver circuit of a display given in any 1 paragraph of the claims 1-6.

[Claim 10]A display in which a driver circuit of said display is constituted in the display according to claim 7 or 8 by thin film transistor which makes a polycrystalline silicon film an active layer.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the driver circuit of a displayand a display.

[0002]

[Description of the Prior Art]In recent yearsthe liquid crystal display (LCD;Liquid Crystal Display) of the active matrix system using a thin film transistor (TFT;Thin Film Transistor) attracts attention as a high definition display.

[0003]A simple matrix system and an active matrix system are among dot-matrix LCD which displays at the point (dot) arranged at the matrix. A simple matrix system is a method which carries out the direct drive of the liquid crystal of each pixel cell arranged at the matrix from the outside synchronizing with a scanning signal. The picture element part (liquid crystal panel) which is an indicator of LCD comprises only an electrode and a liquid crystal.

Thereforeif the number of scanning lines increasesthe driving time (duty) assigned to one pixel cell will decreaseand there is a fault that contrast falls.

[0004]each pixel cell by which the active matrix system has been arranged on the other hand at the matrix -- a pixel driver element (an active element.) accumulating a switch elementa pixel controlling elementand a signal storing element (pixel capacity)and making a kind of storage operation perform to each pixel cell -- a liquid

crystal -- semi- -- it is a method driven statically. That is a pixel driver element functions with a scanning signal as a switch with which an on-off state switches. And the video signal (a data signal a status signal) sent is transmitted to the wiring (data line) inside LCD via a drive circuit (data driver) from the outside. The transmitted video signal (picture signal correctly separated from the video signal) is transmitted to a pixel cell via the pixel driver element in an ON state and the drive of a liquid crystal is performed. Then if a pixel driver element is turned off the video signal impressed to the pixel cell is stored in a signal storing element in the state of an electric charge and the drive of a liquid crystal will be succeedingly performed until a pixel driver element is turned on next. Therefore even if the driving time which the number of scanning lines increases and is assigned to one pixel cell decreases the drive of a liquid crystal is not influenced and contrast does not fall. Therefore according to the active matrix system a high definition far display is attained compared with a simple matrix system. [0005] An active matrix system is divided roughly into a transistor type (3 terminal type) and a diode type (2 terminal type) by the difference in a pixel driver element. A transistor type is easy to compare with a diode type and to make contrast and resolution high while manufacture is difficult and has the feature that high-definition LCD which is equal to CRT is realizable. Generally as a transistor type pixel driver element TFT is used.

[0006] Drawing 7 is a partial circuit diagram of a data driver and is a circuit diagram of the shift register 50. The shift register 50 comprises the two clocked inverter circuits 51 and 52 and the inverter circuits 53 respectively. As shown in drawing 8 the clocked inverter circuit 51 It comprises P channel MOS transistor (PMOS transistor) TP1 connected with high potential side power source  $V_{DD}$  in series between the low voltage side power sources  $V_{SS}$  TP2 and N-channel metal oxide semiconductor transistor (NMOS transistor) TN1 and TN2. The input terminal A of the clocked inverter circuit 51 is a gate of PMOS transistor TP1 and the input terminal B is a gate of NMOS transistor TN1. And if the clocked inverter circuit 51 inputs the signal of H level into the gate of PMOS transistor TP1 at the signal of L level and the gate of NMOS transistor TN1 It operates as an inverter circuit which consists of PMOS transistor TP2 and NMOS transistor TN2 and the signal which reversed the input signal IN is outputted as the output signal OUT.

[0007] The output terminal of the shift register 50 is connected to the gate of NMOS transistor 54 which is a sampling transistor. That is if clock signal CK and bar CK are inputted from the timing controller which is not illustrated the shift register 50 will make NMOS transistor 54 one based on start pulse signal SP who inputted. The video signal transmitted to video line VL via the NMOS transistor 54 is supplied to a pixel cell.

[0008] If following clock signal CK and bar CK are inputted the shift register 50 will transmit start pulse signal SP to the following shift register 50 while turning OFF NMOS transistor 54.

[0009]Therefore based on clock signal CK and bar CK NMOS transistor 54 is controlled by one one by one. And a video signal is supplied to a pixel cell via NMOS transistor 54 controlled by the one.

[0010]In recent years the number of cells of the pixel cell array has increased in the LCD panel (what was 640x400 in the former is 1280x1024). Therefore the number of NMOS transistor 54 for sampling a video signal at one horizontal period according to the increase in the number of cells of a pixel cell and the shift registers 50 increases and the frequency of clock signal CK and bar CK becomes high in connection with it. As a result the timing controller for generating high clock signal CK of frequency and bar CK is complicated and a scale becomes large. Then a data driver is constituted for two or more series and the method of stopping the frequency of a clock signal is used. The partial circuit diagram of the driver is shown in drawing 9.

[0011]To the shift register 61 of one series of a data driver clock signal CK1 and bar CK1 Clock signal CK3 and bar CK3 are supplied to the shift register 63 of three series and clock signal CK4 and bar CK4 are supplied for clock signal CK2 and bar CK2 to the shift register 64 of four series at the shift register 62 of two series. Each clock signal CK1 bar CK1 – CK4 and bar CK4 are the clock signals of a phase which is [ term ] different 1/8 round respectively and each shift registers 61–64 carry out on–off control of NMOS transistors 65–68 to order based on the clock signal.

Therefore since NMOS transistors 65–68 can be driven compared with the frequency which samples a video signal by clock signal CK1 of one eighth of frequency bar CK1 – CK4 and bar CK4 composition of an external clock generation circuit can be simplified.

[0012]

[Problem(s) to be Solved by the Invention]By the way each clock signal CK1 bar CK1 – CK4 and bar CK4 are generated by the timing controller driven on predetermined voltage (for example 5V). And level conversion of each clock signal CK1 generated bar CK1 – CK4 and bar CK4 is carried out to voltage (for example 18V) required to drive each pixel cell and they are supplied. However by letting a level conversion circuit pass as shown in drawing 10 the phase of inversion clock signal bar CK1 may shift to clock signal CK1. While being transmitted from a timing controller the phase of non–inverter clock signal CK1 – CK4 and negative phase clock signal bar CK1 – bar CK4 may shift with the load of a transmission route. Since the phase shift in clock signal CK2 bar CK2 – CK4 and bar CK4 is the same as that of clock signal CK1 and bar CK1 the figure has been omitted.

[0013]Therefore it is necessary to carry out a compensation design so that it may operate also in clock signal CK1 from which the phase shifted bar CK1 – CK4 and bar CK4 and there is a problem that a circuit design is troublesome in the shift registers 61–64.

[0014]In the stage which generates each clock signal CK1 bar CK1 – CK4 and bar CK4 in a timing controller. It is necessary to adjust so that the phase shift in the stage where advance beforehand the phase of one clock signal for example clock signal bar

CK1 – bar CK4 or delay it and it is inputted into a shift register may decrease and there is a problem that the composition of the circuit becomes complicated.

[0015] This invention is made in order to solve the above-mentioned problem and it has the following purposes.

1] The driver circuit of the possible display of generating a complementary clock signal with few phase shifts is provided.

[0016] 2] It has a driver circuit of the display which can generate a complementary clock signal with few phase shifts and the display which can make a circuit design easy using such a driver circuit is provided.

[0017] 3] The driver circuit of a highly efficient display is provided.

4] A high definition display is provided.

[0018]

[Means for Solving the Problem] In a driver circuit of a display in which the invention according to claim 1 was provided with a shift registers group which operates based on a complementary clock signal, only a clock signal of a non-inverter is inputted among complementary clock signals and let it be the gist to have generated a clock signal of an opposite phase based on a clock signal of the non-inverter.

[0019] The invention according to claim 2 inputs a clock signal of a non-inverter and an inverter circuit which generates a clock signal of an opposite phase based on a clock signal of the non-inverter is provided in [ at least one or more ] a driver circuit. Said shift registers group makes it the gist to have made it operate based on an inputted clock signal of a non-inverter and a clock signal of an opposite phase generated by inverter circuit.

[0020] The invention according to claim 3 makes it the gist to have provided said inverter circuit for every block which consists of two or more shift registers which constitute said shift registers group.

[0021] The invention according to claim 4 makes it the gist to have provided said inverter circuit in a shift register which constitutes said shift registers group respectively. An inverting circuit which the invention according to claim 5 comprises an inverter circuit connected in parallel and an N-channel metal oxide semiconductor transistor and inputs a clock signal of a non-inverter and the clock signal generates a clock signal of an opposite phase and is outputted. It comprises an inverter circuit connected in series and an N-channel metal oxide semiconductor transistor. Input a clock signal of a non-inverter and it has an inversion signal generating circuit which comprised a noninverting circuit which generates and outputs the clock signal and a clock signal in phase. Each shift register which constitutes said shift registers group. Let it be the gist to transmit a start pulse which inputted a clock signal of a non-inverter generated by said inversion signal generating circuit and an opposite phase and was inputted based on those clock signals one by one and to have been made to carry out on-off control of said sampling transistor group respectively.

[0022] The invention according to claim 6 establishes an input protection circuit which

comprised a diode and resistance in said inverting circuit and a noninverting circuit respectively and makes it the gist to have inputted a clock signal via the input protection circuit.

[0023] A display module in which the invention according to claim 7 equipped any 1 paragraph of the claims 1-6 with a driver circuit of a display of a statement. Let it be the gist to be connected to the display module to input a video signal to generate image data and a clock signal of a non-inverter based on the video signal and to comprise a driving circuit part to output.

[0024] In the display according to claim 7 the invention according to claim 8 said driving circuit part A synchronizing separator circuit which inputs a video signal and separates a synchronized signal from the video signal. A timing controller which inputs a synchronized signal separated by said synchronizing separator circuit and generates timing signals such as a clock signal of a non-inverter based on the synchronized signal. Let it be the gist to comprise a video signal processing circuit which generates and outputs image data from a video signal which inputted a video signal with which said synchronized signal was separated. Inputted a timing signal generated by said timing controller and was inputted based on the timing signal.

[0025] The invention according to claim 9 makes it the gist for a driver circuit of said display to be constituted by thin film transistor which makes a polycrystalline silicon film an active layer in a driver circuit of a display given in any 1 paragraph of the claims 1-6.

[0026] The invention according to claim 10 makes it the gist for a driver circuit of said display to be constituted by thin film transistor which makes a polycrystalline silicon film an active layer in the display according to claim 7 or 8.

[0027] Therefore according to the invention according to claim 1 only a clock signal of a non-inverter is inputted among complementary clock signals and a clock signal of an opposite phase is generated based on a clock signal of the non-inverter.

[0028] According to the invention according to claim 2 an inverter circuit inputs a clock signal of a non-inverter and generates a clock signal of an opposite phase based on a clock signal of the non-inverter. And each shift register operates based on an inputted clock signal of a non-inverter and a clock signal of an opposite phase generated by inverter circuit.

[0029] According to the invention according to claim 3 an inverter circuit is provided for every block with which an inverter circuit consists of two or more shift registers and a clock signal of an opposite phase is generated by the inverter circuit from a clock signal of a non-inverter.

[0030] According to the invention according to claim 4 an inverter circuit is provided for two or more shift registers of every respectively and a clock signal of an opposite phase is generated by the inverter circuit from a clock signal of a non-inverter.

[0031] According to the invention according to claim 5 an inversion signal generating circuit comprises an inverting circuit and a noninverting circuit. An inverting circuit

comprises an inverter circuit connected in parallel and an N-channel metal oxide semiconductor transistor and inputs a clock signal of a non-inverter and the clock signal generates and outputs a clock signal of an opposite phase. A noninverting circuit comprises an inverter circuit connected in series and an N-channel metal oxide semiconductor transistor inputs a clock signal of a non-inverter and generates and outputs the clock signal and a clock signal in phase. A shift register transmits a start pulse which inputted a clock signal of a non-inverter generated by inversion signal generating circuit and an opposite phase and was inputted based on those clock signals one by one and carries out on-off control of the sampling transistor.

[0032] According to the invention according to claim 6a clock signal is inputted into an inverting circuit and a noninverting circuit of an inversion signal generating circuit for an input protection circuit which comprised a diode and resistance via \*\*\*\*\* and its input protection circuit respectively.

[0033] According to the invention according to claim 7a display comprises a display module and a driving circuit part. A driving circuit part inputs a video signal and generates and outputs a clock signal of image data and a non-inverter based on the video signal. A display module generates a clock signal of an opposite phase based on a clock signal of a non-inverter inputted from a driving circuit part. And a display module displays image data based on a clock signal of a non-inverter and an opposite phase.

[0034] According to the invention according to claim 8 in the display according to claim 7a synchronizing separator circuit, a timing controller and a video signal processing circuit are established in a driving circuit part. A synchronizing separator circuit inputs a video signal and separates a synchronized signal from the video signal. A timing controller inputs a synchronized signal separated by synchronizing separator circuit and generates timing signals such as a clock signal of a non-inverter based on the synchronized signal. A video signal processing circuit generates and outputs image data from a video signal which inputted a video signal with which a synchronized signal was separated inputted a timing signal generated by a timing controller and was inputted based on the timing signal.

[0035] In the invention according to claim 9 mobility is large and a thin film transistor which makes a polycrystalline silicon film an active layer has high driving ability. Therefore a driver circuit of a display can be made highly efficient.

[0036] In the invention according to claim 10 mobility is large and a thin film transistor which makes a polycrystalline silicon film an active layer has high driving ability. Therefore it becomes possible to make a driver circuit of a display highly efficient and a display can be made into high definition.

[0037]

[Embodiment of the Invention] Hereafter one embodiment which materialized this invention is described according to a drawing. Drawing 2 is a block circuit diagram of active matrix system LCD of this embodiment. Active matrix system LCD comprises

the driving circuit part 1 and the liquid crystal display module 2.

[0038]The synchronizing separator circuit 3the timing controller 4the video signal processing circuit 5the power supply circuit 6and the drive circuits 7 and 8 are established in the driving circuit part 1. The synchronizing separator circuit 3 divides into a picture signal and a synchronized signal the video signal inputted from the outside. And the synchronizing separator circuit 3 outputs the separated picture signal to the video signal processing circuit 5and outputs a synchronized signal to the timing controller 4.

[0039]Clock signal CK1 of a non-inverter – CK4the timing controller 4 inputs a synchronized signal and based on the synchronized signal[ required for a LCD drive ] The timing signal of start pulse signal SP1 – SP4etc. is generatedand it outputs to the liquid crystal display module 2 via the drive circuit 7.

[0040]The video signal processing circuit 5 inputs a picture signal from the synchronizing separator circuit 3and amplifies the picture signal. The video signal processing circuit 5 inputs the timing signal outputted from the timing controller 4. And the amplified picture signal is changed into a waveform required for the drive of the liquid crystal display module 2 based on the inputted timing signaland the video signal processing circuit 5 outputs it to the liquid crystal display module 2 via the drive circuit 8.

[0041]The power supply circuit 6 inputs an external powergenerates each circuits 3–57and 8 in the driving circuit part 1and voltage required for the liquid crystal display module 2and outputs them to each circuits 3–57and 8 and the liquid crystal display module 2.

[0042]The liquid crystal display module 2 is a volume load inputand the drive circuits 7 and 8 change into a signal (voltage) required for the drive of the liquid crystal display module 2 the signal inputtedrespectivelyand output it.

[0043]Drawing 3 is a block circuit diagram of the liquid crystal display module 2. The pixel cell array 11the vertical drive circuit (Y driver) 12and the horizontal drive circuit (X driver) 13 are established in the liquid crystal display module 2.

[0044]Each scanning lines (gate wire) G1–Gn and each data lines (drain wiring) D1–Dm (D1 -- Di and Di+1 -- Dm) are arranged at the pixel cell array (picture element part) 11. niand m are integers. Each scanning line Gn and each data line Dm intersect perpendicularlyrespectivelyand pixel GC is provided in the rectangular portion. And each scanning line Gn is connected to the Y driver (gate driver) 12and a scanning signal (gating signal) is impressed. Each data line Dm is connected to the X driver (a data drivera drain driver) 13and a picture signal is impressed. The circumference driving circuit part 101 is constituted by these drivers 12 and 13. And generally the liquid crystal display module 2 which formed either on the same substrate as the pixel cell array 11 at least among each drivers 12 and 13 is called driver integral-type (driver built-in) LCD. In driver integral-type LCDsince the wire length of each lines G1–GnD1 – Dm becomes shortit can become possible to make wiring resistance and

wiring capacity small and image quality can be raised.

[0045] Pixel cell GC comprises TFT102 as a pixel driver element, a liquid crystal cell LC and auxiliary capacity CS. The gate of TFT102 is connected to the scanning line Gn and the drain of TFT102 is connected to data-line Dm. And the display electrode (picture element electrode) and auxiliary capacity (storage capacitance or additional capacities) CS of liquid crystal cell LC are connected to the source of TFT102. Said signal storing element is constituted by this liquid crystal cell LC and auxiliary capacity CS. The voltage Vcom is impressed to the common electrode (electrode of the opposite hand of a display electrode) of liquid crystal cell LC. On the other hand, in auxiliary capacity CS, constant-voltage VR is impressed to the electrode of the opposite hand of the electrode of the side connected with the source of TFT102. The common electrode of this liquid crystal cell LC is the electrode which was common to all the pixel cell GC literally. And electric capacity is formed between the display electrode of liquid crystal cell LC and the common electrode. In auxiliary capacity CS, the electrode of the opposite hand of the electrode of the side connected with the source of TFT102 may be connected with the next scanning line.

[0046] In pixel cell GC constituted in this way, if the scanning line Gn is made into positive voltage and positive voltage is impressed to the gate of TFT102, TFT102 will become on. Then the electric capacity and auxiliary capacity CS of liquid crystal cell LC are charged with the picture signal impressed to the data line Dm. If the scanning line Gn is made into negative voltage and negative voltage is impressed to the gate of TFT102, on the contrary, TFT102 will become off and the voltage currently impressed to the data line Dm at the time will be held by the electric capacity and auxiliary capacity CS of liquid crystal cell LC. Thus, arbitrary picture signals can be made to hold to pixel cell GC by giving a picture signal to write in pixel cell GC to the data line Dm and controlling the voltage of the scanning line Gn. The transmissivity of liquid crystal cell LC changes according to the picture signal which the pixel cell GC holds, and a picture is displayed.

[0047] Here, a write characteristic and holding property are important as the characteristic of pixel cell GC. \*\*\*\*\* [ that being required from a write characteristic can fully write in desired picture signal voltage in the unit time defined from the specification of the pixel cell array 11 to a signal storing element (liquid crystal cell LC and auxiliary capacity CS) ] -- it is a point to say. Being required from holding property is the point whether only required time can hold the picture signal voltage once written in the signal storing element.

[0048] Auxiliary capacity CS is provided in order to increase the electric capacity of a signal storing element and to raise a write characteristic and holding property. That is, as for liquid crystal cell LC, there is a limit in increase of electric capacity on the structure. Then the insufficiency of the electric capacity of liquid crystal cell LC is compensated by auxiliary capacity CS.

[0049] The Y driver 12 inputs a timing signal and driver voltage respectively from the

drive circuit 7 and the power supply circuit 6 of the driving circuit part 1 and impresses a scanning signal (gating signal) to each scanning lines  $G1-Gn$  based on the timing signal.

[0050]The X driver 13 comprises the analog switch 14 which consists of an N channel sampling transistor group and the shift register 15 which carries out on-off control of the analog switch 14. The shift registers 15 are four shift registers groups and clock signal  $CK1 - CK4$  and start pulse signal  $SP1 - SP4$  are inputted into the shift registers group of each system respectively. And the shift register 15 operates based on clock signal  $CK1 - CK4$  which were inputted and start pulse signal  $SP1 - SP4$  and carries out on-off control of the analog switch 14.

[0051]The picture signal sent via video line VL from the drive circuit 8 of the driving circuit part 1 is impressed to each data lines  $D1-Dm$  via the analog switch 14 controlled by one with the shift register 15.

[0052]Two or more shift register  $SR1$  by which the shift registers group of one system was connected to series -- $SRi$  and  $SRi+1$  -- It is constituted by  $SRm$ . About the shift registers group of other three systems since it is the same composition the figure has been omitted.

[0053]Drawing 1 is a partial circuit diagram of the X driver 13 and is a circuit diagram of N-channel metal oxide semiconductor transistor  $Ti$  and  $Ti+1$  which constitutes the shift register  $SRi$  and  $SRi+1$  and the analog switch 14. Each shift register  $SRi$  and  $SRi+1$  comprise the two clocked inverter circuits 16 and 17 and the two inverter circuits 18 and 19 respectively. As usual each clocked inverter circuits 16 and 17 are constituted by PMOS transistor  $TP1$  and  $TP2$  NMOS transistor  $TN1$  and  $TN2$  as shown in drawing 8.

[0054]It was connected to shift register  $SRi-1$  of the preceding paragraph and the input terminal of the clocked inverter circuit 16 which constitutes the shift register  $SRi$  has inputted start pulse signal  $SP1$ . The output terminal of the clocked inverter circuit 16 is connected to shift register  $SRi+1$  of the next step via the inverter circuit 18. The input terminal of the clocked inverter circuit 17 is connected to the output terminal of the inverter circuit 18 and the output terminal of the clocked inverter circuit 17 is connected to the input terminal of the inverter circuit 18.

[0055]Clock signal  $CK1$  of the non-inverter is inputted into each shift register  $SRi$  and the inverter circuit 19 of  $SRi+1$ . And the inverter circuit 19 generates clock signal bar  $CK1$  of the opposite phase which reversed clock signal  $CK1$  of the non-inverter and outputs it to the clocked inverter circuits 16 and 17.

[0056]And clock signal  $CK1$  of a non-inverter is inputted into the input terminal A of the clocked inverter circuit 16 of the shift register  $SRi$  and the input terminal B of the clocked inverter circuit 17. The clock signal of clock signal bar  $CK1$  of an opposite phase is inputted into the input terminal B of the clocked inverter circuit 16 and the input terminal A of the clocked inverter circuit 17.

[0057]On the other hand clock signal  $CK1$  of a non-inverter is inputted into the input terminal B of the clocked inverter circuit 16 of shift register  $SRi+1$  and the input

terminal A of the clocked inverter circuit 17. The clock signal of clock signal bar CK1 of an opposite phase is inputted into the input terminal A of the clocked inverter circuit 16 and the input terminal B of the clocked inverter circuit 17.

[0058] That is each shift register  $SR_i$  and  $SR_{i+1}$  input clock signal CK1 of a non-inverter respectively and they generate clock signal bar CK1 of an opposite phase from clock signal CK1 of the non-inverter. Each shift register  $SR_i$  and  $SR_{i+1}$  operate based on clock signal CK1 of the inputted non-inverter and clock signal bar CK1 of the generated opposite phase and they transmit start pulse signal SP1 to the following shift register in order.

[0059] And the shift register  $SR_i$  controls NMOS transistor  $T_i$  to one while latching start pulse signal SP1 inputted by the clocked inverter circuit 17 and the inverter circuit 18. Then the picture signal transmitted to video line VL is transmitted to the data line  $D_i$  via NMOS transistor  $T_i$  controlled by one.

[0060] Therefore clock signal bar CK1 of the opposite phase generated by each shift register  $SR_i$  and  $SR_{i+1}$  will be only in the part of the inverter circuit 19 to clock signal CK1 of a non-inverter. The delay by this inverter circuit 19 is small compared with the delay of clock signal bar CK1 of the conventional opposite phase – bar CK4.

[0061] Clock signal bar CK1 of an opposite phase is overdue by the inverter circuit 19 and he does not follow it from clock signal CK1 of a non-inverter. Therefore since the design of each shift register  $SR_i$  and  $SR_{i+1}$  should just perform the compensation design to clock signal bar CK1 of the opposite phase which is overdue for a while to clock signal CK1 of a non-inverter it becomes easy to design it.

[0062] The inverter circuit 19 is similarly formed about other shift register  $SR_1$  of the same series –  $SR_m$ . Clock signal bar CK1 of an opposite phase is generated from clock signal CK1 of a non-inverter and on-off control of NMOS transistors  $T_1$ – $T_m$  is performed based on both clock signal CK1 and bar CK1. That is in each shift register  $SR_1$  –  $SR_m$  clock signal bar CK1 of the opposite phase generated will be only in the part of the inverter circuit 19 to clock signal CK1 of a non-inverter. Therefore since a compensation design can be similarly performed in each shift register  $SR_1$  –  $SR_m$  a design becomes easy.

[0063] Also in shift register  $SR_1$  of other systems –  $SR_m$  since a compensation design can be similarly performed by generating clock signal bar CK2 of an opposite phase – bar CK4 by the inverter circuit 19 a design becomes easy.

[0064] While the circuit for generating clock signal bar CK1 of an opposite phase – bar CK4 in the driving circuit part 1 becomes unnecessary. Since the circuit for performing level conversion to clock signal bar CK1 of an opposite phase – bar CK4 in the drive circuit 7 becomes unnecessary circuitry can be simplified. Since only clock signal CK1 of a non-inverter – CK4 are transmitted to the liquid crystal display module 2 the number of the wiring which connects the driving circuit part 1 and the liquid crystal display module 2 can be lessened again.

[0065] Thus according to this embodiment the following operations and an effect can be

acquired.

\*\* Form the inverter circuit 19 in each shift register SR1 – SRm which constitute the shift register 15 of the X driver 13 respectively. Only clock signal CK1 of a non-inverter is supplied to each shift register SR1 – SRm. And the inverter circuit 19 generates clock signal bar CK1 of an opposite phase from clock signal CK1 of a non-inverter. Shift register SR1 – SRm were made to carry out on-off control of NMOS transistor Ti by start pulse signal SP1 inputted based on clock signal CK1 of a non-inverter and clock signal bar CK1 of the generated opposite phase.

[0066] As a result since delay of the phase of clock signal bar CK1 of the opposite phase to clock signal CK1 of a non-inverter can be made only into the part of the inverter circuit 19 each shift register SR1 – the compensation design of SRm can be simplified.

[0067] \*\* The inverter circuit 19 which generates clock signal bar CK1 of an opposite phase was formed in each shift register SR1 – SRm. As a result the circuit for generating clock signal bar CK1 of an opposite phase within the driving circuit part 1 and the circuit for changing into voltage required since the liquid crystal display module 2 is driven can be omitted and active matrix system LCD can be miniaturized.

[0068] By the way development of TFT (henceforth the polycrystalline silicon TFT) which used for the active layer as TFT102 the polycrystalline silicon film formed on the transparent insulating substrate is furthered.

[0069] There is an advantage that mobility is large and the polycrystalline silicon TFT has high driving ability compared with the thin film transistor (henceforth the amorphous silicon TFT) which used the amorphous silicon film for the active layer. Therefore the polycrystalline silicon TFT can be used also as an element which constitutes a logic circuit not only as a pixel driver element. Therefore if the polycrystalline silicon TFT is used driver integral-type LCD can be obtained by unifying even not only the pixel cell array 11 but the circumference driving circuit part 101 (the Y driver 12 the X driver 13) arranged around it on the same board. That is each MOS transistor which constitutes the inner device of each drivers 12 and 13 is formed with the polycrystalline silicon TFT. And polycrystalline silicon TFT102 as a pixel driver element arranged at the pixel cell array 11 and polycrystalline silicon TFT103 which constitute each drivers 12 and 13 are formed at the same process.

[0070] Since [ that mobility is large ] the polycrystalline silicon TFT has high driving ability if it constitutes each drivers 12 and 13 by polycrystalline silicon TFT103 it can make each drivers 12 and 13 highly efficient. And if each drivers 12 and 13 become highly efficient the image quality of LCD (liquid crystal display module 2) can be raised.

[0071] The outline section of the liquid crystal display module 2 of this embodiment which takes transmission type composition by the driver integral type which used the planar type polycrystalline silicon TFT is shown in drawing 6. The partial outline section of the pixel cell array 11 is shown in drawing 6 (a) the outline section of the wiring part between the pixel cell array 11 and each drivers 12 and 13 is shown in

drawing 6 (b) and the outline section of each drivers 12 and 13 is shown in drawing 6 (c).

[0072] As shown in drawing 6 (a) between each transparent insulating substrate 201 202 which carries out for relatively the liquid crystal layer 203 with which the liquid crystal was filled up is formed. The display electrode 204 of liquid crystal cell LC is formed in the transparent insulating substrate 201 the common electrode 205 of liquid crystal cell LC is formed in the transparent insulating substrate 202 and each electrode 204 205 has countered on both sides of the liquid crystal layer 203.

[0073] The polycrystalline silicon film 206 used as the active layer of polycrystalline silicon TFT 102 is formed in the surface by the side of the liquid crystal layer 203 in the transparent insulating substrate 201. The gate dielectric film 207 is formed on the polycrystalline silicon film 206. On the gate dielectric film 207 the gate electrode 208 which constitutes the scanning line Gn is formed. The drain area 209 and the source region 210 are formed in the polycrystalline silicon film 206 and polycrystalline silicon TFT 102 is constituted.

[0074] Auxiliary capacity CS is formed in the portion which adjoins polycrystalline silicon TFT 102 in the transparent insulating substrate 201 at the same process simultaneously with creation of polycrystalline silicon TFT 102. The storage electrode 211 of auxiliary capacity CS is formed in the polycrystalline silicon film 206 and is connected with the source region 210 of polycrystalline silicon TFT 102. The dielectric film 212 is formed on the storage electrode 211 and the counterelectrode 213 of auxiliary capacity CS is formed on the dielectric film 212. The dielectric film 212 is on extension of the gate dielectric film 207 and is formed at the same process by the gate dielectric film 207 and an identical configuration. The counterelectrode 213 is formed at the same process by the gate electrode 208 and an identical configuration. The insulator layer 219 is formed in the side attachment wall of the counterelectrode 213 and the gate electrode 208 and the insulator layer 214 is formed on the counterelectrode 213 and the gate electrode 208. The interlayer insulation film 215 is formed all over polycrystalline silicon TFT 102 and auxiliary capacity CS. The source region 210 and the drain area 209 are connected to the source electrode 216 and the drain electrode 217 which constitutes the data line Dm via each contact hole formed in the interlayer insulation film 215 respectively. The insulator layer 218 is formed all over the device containing the drain electrode 217 and the source electrode 216. The source electrode 216 is connected with the display electrode 204 via the contact hole formed in the insulator layer 218. Generally as construction material of the drain electrode 217 and the source electrode 216 an aluminum containing alloy is used and generally ITO (Indium Tin Oxide) is used as construction material of the display electrode 204. Generally a sputtering technique is used for formation of each electrode 204 217 218.

[0075] Thus the source region 210 and the display electrode 204 are connected via the source electrode 216 in order to take the ohmic contact of the source region 210 and

the display electrode 204. That is if the source electrode 216 is excluded direct continuation of the source region 210 which comprises the polycrystalline silicon film 206 and the display electrode 204 which comprises ITO will be carried out. The energy gap by band gap difference arises and it becomes impossible as a result to obtain good ohmic contact by the hetero-junction of the source region 210 and the display electrode 204. If the ohmic contact of the source region 210 and the display electrode 204 cannot be taken the picture signal impressed to the data line Dm will no longer be correctly written in pixel cell GC and the image quality of LCD will deteriorate.

[0076] As shown in drawing 6 (b) on the transparent insulating substrate 201 the scanning line Gn or the data line Dm is formed via the insulator layer 215 and the insulator layer 218 is formed all over the device containing the wiring Gn and Dn. On the insulator layer 218 the liquid crystal layer 203 the common electrode 205 and the transparent insulating substrate 202 are formed like the pixel cell array 11.

[0077] As shown in drawing 6 (c) planar type polycrystalline silicon TFT103 which constitutes each drivers 12 and 13 is formed in the surface by the side of the liquid crystal layer 203 in the transparent insulating substrate 201. Polycrystalline silicon TFT103 is formed at the same process simultaneously with creation of polycrystalline silicon TFT102. Polycrystalline silicon TFT102 and identical codes are attached about each member which constitutes polycrystalline silicon TFT103. The insulator layer 218 is formed all over the device containing polycrystalline silicon TFT103. On the insulator layer 218 the liquid crystal layer 203 the common electrode 205 and the transparent insulating substrate 202 are formed like the pixel cell array 11.

[0078] By the way there are the following in the formation method of the polycrystalline silicon film 206 used as the active layer of each polycrystalline silicon TFT102/103.

**\*\* How to form the polycrystalline silicon film 206 directly; use a CVD method or PVD.** CVD methods include an ordinary pressure CVD method a vacuum CVD method plasma CVD method an optical-pumping CVD method etc. There are vacuum deposition EB (Electron Beam) vacuum deposition the MBE (Molecular Beam Epitaxy) method a sputtering technique etc. in PVD.

[0079] In this the vacuum CVD method using the pyrolysis of a mono silane ( $\text{SiH}_4$ ) or a disilane ( $\text{Si}_2\text{H}_6$ ) is common and the quality polycrystalline silicon film 206 can be formed. In a vacuum CVD method treatment temperature serves as polycrystal below 550 °C \*\* above amorphousness and 620 °C \*\*.

[0080] The plasma CVD method using the pyrolysis of the mono silane in the inside of plasma or a disilane is also used. If the treatment temperature of plasma CVD method adds hydrogen by a 300 °C grade a reaction will be promoted and an amorphous silicon film will be formed. And if inactive gas (helium neon argon krypton a xenon radon) is added plasma will be excited and a polycrystalline silicon film will be formed also with the same treatment temperature.

[0081] **\*\* How to make it polycrystal-size and form the polycrystalline silicon film 206**

after forming an amorphous silicon film; use a solid phase grown method or the melting recrystallizing method. A solid phase grown method is a method of making it polycrystallizing with a solid and obtaining a polycrystalline silicon film by performing prolonged heat treatment around 20 hours to an amorphous silicon film before and behind 600 °C.

[0082] The melting recrystallizing method is the method of maintaining substrate temperature below at 600 °C carrying out melting only of the surface of an amorphous silicon film and attaining recrystallization and there are a laser annealing method and the RTA (Rapid Thermal Annealing) method. The laser annealing method is the method of irradiating with and carrying out heat melting of the laser on the surface of an amorphous silicon film. The RTA method is the method of irradiating with and carrying out heat melting of the lamp light on the surface of an amorphous silicon film.

[0083] The conventional polycrystalline silicon TFT was formed using an about 1000 °C hot process (called a high temperature process). A high temperature process follows LSI technology with sufficient technological backlog over many years.

Therefore the polycrystalline silicon TFT (called the elevated-temperature polycrystalline silicon TFT) formed by the high temperature process is excellent in an element characteristic reliability and reproducibility. However since process temperature of a high temperature process is high silica glass must be used for a transparent insulating substrate. Since silica glass becomes remarkably expensive with enlargement and also there is a limitation in enlargement at present the size of a transparent insulating substrate receives restriction. Therefore although it can fully be used as the object for viewfinders and the object for liquid crystal projectors of a video camera as an object for accepting reality its panel size is too small as for the panel size of the liquid crystal display module 2 which balances in cost for below 3 type to become and to use.

[0084] On the other hand using the process of the low temperature below 400 °C since it can form the amorphous silicon TFT can use usual glass for a transparent insulating substrate. Usual glass has only the heat-resistant temperature about 600 °C also with the high-heat-resistance glass (for example 7059 made from U.S. Corning Inc.) of silica glass marketed for LCD although there is about 1/10 of no restriction also in a size at a price of 10.

[0085] Then forming the polycrystalline silicon TFT using the process (called a low temperature process) of the low temperature below a 600 °C grade is called for so that usual glass (high-heat-resistance glass) can be used for a transparent insulating substrate. The polycrystalline silicon TFT formed by the low temperature process is called the low-temperature polycrystalline silicon TFT.

[0086] Therefore in order to use high-heat-resistance glass for the transparent insulating substrate 201 and to provide cheaply LCD with big panel size (liquid crystal display module 2) °C Adopt a low temperature process (as described above a solid phase grown method or the melting recrystallizing method is used) at the time of

formation of the polycrystalline silicon film 206 and. \*\* What is necessary is just to adopt a low temperature process over the whole process of manufacture of the polycrystalline silicon TFT102103 also including the time of formation of the gate dielectric film 207 and formation of the source region 210 and the drain area 209. [0087] This invention is not limited to the above-mentioned embodiment and may be carried out as follows.

(1) Although shape was taken in the above-mentioned embodiment to the liquid crystal display module 2 which formed the shift register 15 of four series take shape to the liquid crystal display module which provided the shift register of one series or plural series (2 eight series etc.).

[0088] (2) Although the inverter circuit 19 was formed for every shift register  $SR_1$  to  $SR_m$  and clock signal bar  $\overline{CK1}$  of the opposite phase was generated from clock signal  $CK1$  of the non-inverter in the above-mentioned embodiment One inverter circuit is provided to two or more shift registers clock signal bar  $\overline{CK1}$  of an opposite phase is generated and it may be made to supply each shift register. That is as shown in drawing 4 (a) the inverter circuit 21 is formed every register block 20 which consists of two or more shift registers. And the inverter circuit 21 generates clock signal bar  $\overline{CK1}$  of an opposite phase and each shift register of the block 20 is supplied.

[0089] As shown in drawing 4 (b) the one inverter circuit 22 is provided and carried out to two or more register blocks 20 which constitute the shift register 15 of one series. Since there are many shift registers operated by clock signal Bar  $\overline{CK1}$  of the generated opposite phase at this time the inverter circuit 22 is good to set up driving ability greatly compared with the inverter circuit 19 of the above-mentioned embodiment.

[0090] (3) Although the inverter circuit 19 is formed and clock signal Bar  $\overline{CK1}$  of the opposite phase was generated from clock signal  $CK1$  of the non-inverter in the above-mentioned embodiment As shown in drawing 5 the complementary signal generating circuit 30 which generates clock signal  $CK1$  of a non-inverter and clock signal Bar  $\overline{CK1}$  of an opposite phase may be established in the X driver 13. And it is made for each shift register  $SR_1$  to  $SR_m$  to operate based on clock signal  $CK1$  of a non-inverter and clock signal Bar  $\overline{CK1}$  of an opposite phase which were generated by the complementary signal generating circuit 30.

[0091] The complementary signal generating circuit 30 comprises the input protection parts 31a and 31b the inverting circuit unit 32 and the noninverting circuit part 33. The input protection parts 31a and 31b are constituted by a diode and resistance and are performing protection to ESD (ElectroStatic Discharge: electrostatic discharge) etc. against the clock signal CLK of a non-inverter.

[0092] The inverting circuit unit 32 comprises the inverter circuits 32a and 32b which consist of a PMOS transistor and an NMOS transistor and NMOS transistor 32c. The noninverting circuit part 33 comprises the inverter circuits 33a and 33b which consist of a PMOS transistor and an NMOS transistor and NMOS transistor 33c.

[0093]The inverter circuits 32a and 32b of the inverting circuit unit 32 are connected in parallel and the inverter circuits 33a and 33b of the noninverting circuit part 33 are connected in series. The source of NMOS transistors 32c and 33c is connected to the output terminal of both the circuit parts 32 and the inverter circuits 32b and 33b of 33 respectively and the drain of the N-channel metal oxide semiconductor transistors 32c and 33c is connected to high potential side power source  $V_{DD}$  respectively. The gate of NMOS transistor 32c of the inverting circuit unit 32 is connected to the output terminal of the inverter circuit 32a. The gate of NMOS transistor 33c of the noninverting circuit part 33 is connected to the input terminal of the inverter circuit 33a.

[0094]The complementary signal generating circuit 30 inputs the clock signal CLK of the non-inverter generated by the timing controller 4 of the driving circuit part 1 shown in drawing 2 via the drive circuit 7. The clock signal CLK is outputted as clock signal CK1 in phase via the inverter circuits 33a and 33b of the noninverting circuit part 33. The clock signal CLK is outputted as clock signal bar CK1 of an opposite phase via the inverter circuits 32a and 32b of the inverting circuit unit 32. At this time both the circuit parts 32 and NMOS transistors 32c and 33c of 33 have compensated the delay by the inverter circuits 32a, 32b, 33a and 33b.

[0095]By this composition since the delay of clock signal CK1 of a non-inverter and clock signal bar CK1 of an opposite phase can be doubled a circuit design can be made easy. Since driving ability can be enlarged with the buffer by the inverter circuits 32a, 32b, 33a and 33b it is not necessary to provide an inverter circuit for every register and the circuit area of the X driver 13 can be made small compared with the above-mentioned embodiment.

[0096](4) According to the above-mentioned embodiment although shape was taken to the liquid crystal display module 2 of the driver integral type take shape to the liquid crystal display module by the liquid crystal display module which is not a driver integral type for example TAB and COG.

[0097](5) According to the above-mentioned embodiment although shape was taken to TFT-LCD take shape to MIM-LCD STN-LCD etc. using a diode. Shape is taken to simple matrix type LCD.

[0098](6) According to the above-mentioned embodiment although shape was taken to the shift register 15 of the X driver 13 take shape and carry out to the shift register of the Y driver 12.

(7) Put TFT102103 on the amorphous silicon TFT instead of the polycrystalline silicon TFT and replace it with.

[0099](8) Put low-temperature polycrystalline silicon TFT102103 on elevated-temperature polycrystalline silicon TFT102103 and replace it with.

(9) Put TFT102103 on TFT of structures (a reverse planar type a stagger type a reverse stagger type etc.) other than a planar type and replace it with.

[0100](10) Apply to the liquid crystal display module which takes reflection type

composition instead of the liquid crystal display module 2 which takes transmission type composition. As mentioned above although each embodiment was described technical ideas other than the claim which can be grasped from each embodiment are indicated with those effects below.

[0101](b) A display in which said display module comprises a pixel cell array and a driver circuit and the display module is formed on one substrate in the display given in any 1 paragraph of the claims 7 and 10.

[0102] If it does in this way the display of a driver integral type can be obtained. In the display of a driver integral type since the wire length of each wiring becomes short it can become possible to make wiring resistance and wiring capacity small and image quality can be raised.

[0103](\*\*) A display in which said thin film transistor is formed in the above-mentioned (b) of a low temperature process in the display of a statement. If it does in this way it becomes possible to use usual glass for a substrate and a display module can be enlarged.

[0104]

[Effect of the Invention]

1] The driver circuit of the possible display of generating a complementary clock signal with few phase shifts can be provided.

[0105] 2] It can have a driver circuit of the display which can generate a complementary clock signal with few phase shifts and the display which can make a circuit design easy using such a driver circuit can be provided.

[0106] 3] The driver circuit of a highly efficient display can be provided.

4] A high definition display can be provided.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The partial circuit diagram of the driver circuit of one embodiment.

[Drawing 2] The block circuit diagram of active matrix system LCD.

[Drawing 3] The block circuit diagram of a liquid crystal display module.

[Drawing 4] The circuit diagram showing the shift register of another embodiment.

[Drawing 5] The circuit diagram of the complementary signal generating circuit of another embodiment.

[Drawing 6] The outline sectional view of a liquid crystal display module.

[Drawing 7] The partial circuit diagram of the conventional driver.

[Drawing 8] The circuit diagram of a clocked inverter circuit.

[Drawing 9] The circuit diagram of four shift registers.

[Drawing 10] The wave form chart of the conventional clock signal.

[Description of Notations]

1 -- Driving circuit part  
2 -- Liquid crystal display module  
3 -- Synchronizing separator circuit  
4 -- Timing controller  
5 -- Video signal processing circuit  
12 -- Y driver (a vertical drive circuit a gate driver)  
13 -- X driver (a horizontal drive circuit a data driver a drain driver)  
14  $T_i$  and  $T_{i+1}$  -- N-channel metal oxide semiconductor transistor as an analog switch  
15 -- Shift register (shift registers group)  
19 -- Inverter circuit  
101 -- Circumference driving circuit part  
102 103 -- Polycrystalline silicon TFT  
206 -- Polycrystalline silicon film  
SR1 - SRm -- Shift register  
CK and CK1-CK4 -- Clock signal of a non-inverter  
Bar CK and bar CK1 - bar CK4 -- Clock signal of an opposite phase  
GC -- Pixel cell

---

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-211854

(43)公開日 平成8年(1996)8月20日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 5 0			
H 0 1 L 29/786				
			H 0 1 L 29/ 78	6 1 2 B
			審査請求	未請求 請求項の数10 O L (全 15 頁)

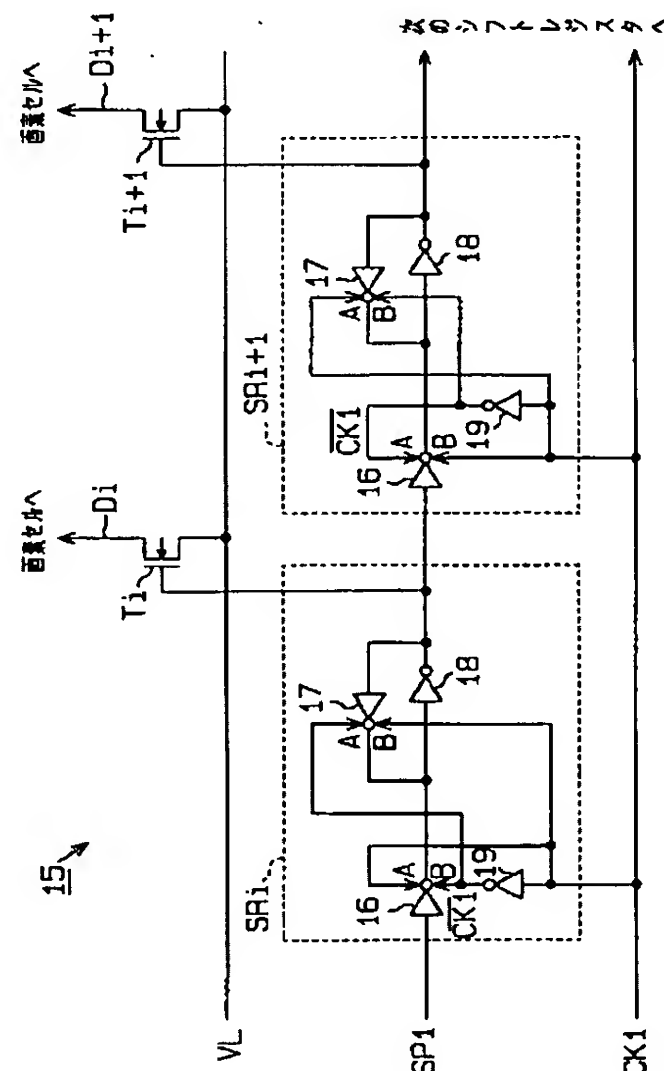
(21)出願番号	特願平7-200051	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日	平成7年(1995)8月4日	(72)発明者	古河 雅行 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
(31)優先権主張番号	特願平6-295027	(72)発明者	木原 勝也 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
(32)優先日	平6(1994)11月29日	(72)発明者	丸下 裕 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
(33)優先権主張国	日本 (J P)	(74)代理人	弁理士 恩田 博宣

(54)【発明の名称】 表示装置のドライバ回路および表示装置

(57)【要約】

【課題】位相ずれの少ない相補クロック信号を生成することのできる表示装置のドライバ回路を提供する。

【解決手段】液晶表示モジュール2のXドライバ13は、アナログスイッチ14とシフトレジスタ15とから構成されている。シフトレジスタ15は、直列に接続された複数のシフトレジスタSR1～SRmが設けられている。各シフトレジスタSR1～SRmには、インバータ回路19が設けられ、そのインバータ回路19により正相のクロック信号CK1から逆相のクロック信号バーCK1を生成する。そして、各シフトレジスタSR1～SRmは、入力した正相のクロック信号CK1と、生成した逆相のクロック信号バーCK1とに基づいてアナログスイッチ14をオンオフ制御する。



## 【特許請求の範囲】

【請求項 1】 相補クロック信号に基づいて動作するシフトレジスタ群を備えた表示装置のドライバ回路において、相補クロック信号のうち正相のクロック信号のみを入力し、その正相のクロック信号に基づいて逆相のクロック信号を生成するようにした表示装置のドライバ回路。

【請求項 2】 画像信号を入力し、その画像データを正相および逆相のクロック信号に基づいて動作するシフトレジスタ群にてオンオフ制御されるサンプリングトランジスタ群によりサンプリングして画素セルに伝達して画像信号の画像を表示する表示装置のドライバ回路において、前記正相のクロック信号を入力し、その正相のクロック信号に基づいて逆相のクロック信号を生成するインバータ回路をドライバ回路内に少なくとも 1 つ以上設け、前記シフトレジスタ群は、入力した正相のクロック信号と、インバータ回路により生成された逆相のクロック信号とに基づいて動作するようにした表示装置のドライバ回路。

【請求項 3】 前記インバータ回路は、前記シフトレジスタ群を構成する複数のシフトレジスタよりなる複数のブロック毎に対してそれぞれ設けた請求項 2 に記載の表示装置のドライバ回路。

【請求項 4】 前記インバータ回路は、前記シフトレジスタ群を構成するシフトレジスタにそれぞれ設けた表示装置のドライバ回路。

【請求項 5】 画像データを入力し、その画像データを正相および逆相のクロック信号に基づいて動作するシフトレジスタ群にてオンオフ制御されるサンプリングトランジスタ群によりサンプリングして画素セルに伝達して画像データを表示する表示装置のドライバ回路において、

並列に接続されたインバータ回路と、NチャネルMOSトランジスタとから構成され、正相のクロック信号を入力し、そのクロック信号とは逆相のクロック信号を生成し出力する反転回路と、

直列に接続されたインバータ回路と、NチャネルMOSトランジスタとから構成され、正相のクロック信号を入力し、そのクロック信号と同相のクロック信号を生成し出力する非反転回路とから構成された相補信号生成回路を備え、

前記シフトレジスタ群を構成する各シフトレジスタは、前記相補信号生成回路により生成された正相および逆相のクロック信号をそれぞれ入力し、それらのクロック信号に基づいて入力したスタートパルスを順次伝達して前記サンプリングトランジスタ群をそれぞれオンオフ制御するようにした表示装置のドライバ回路。

【請求項 6】 前記反転回路と非反転回路には、ダイオードと抵抗とから構成された入力保護回路をそれぞれ設

け、その入力保護回路を介してクロック信号を入力するようにした請求項 5 に記載の表示装置のドライバ回路。

【請求項 7】 請求項 1～6 のうちのいずれか 1 項に記載の表示装置のドライバ回路を備えた表示モジュールと、

その表示モジュールに接続され、外部からビデオ信号を入力し、そのビデオ信号に基づいた画像信号と正相のクロック信号とを生成し、出力する駆動回路部とから構成された表示装置。

【請求項 8】 請求項 7 に記載の表示装置において、前記駆動回路部は、外部からビデオ信号を入力し、そのビデオ信号から同期信号を分離する同期分離回路と、前記同期分離回路により分離された同期信号を入力し、その同期信号に基づいて正相のクロック信号等のタイミング信号を生成するタイミングコントローラと、前記同期信号が分離されたビデオ信号を入力し、前記タイミングコントローラにより生成されたタイミング信号を入力し、そのタイミング信号に基づいて入力したビデオ信号から画像信号を生成し出力するビデオ信号処理回路とを備えた表示装置。

【請求項 9】 請求項 1～6 のうちのいずれか 1 項に記載の表示装置のドライバ回路において、前記表示装置のドライバ回路は、多結晶シリコン膜を能動層とする薄膜トランジスタによって構成される表示装置のドライバ回路。

【請求項 10】 請求項 7 または請求項 8 に記載の表示装置において、前記表示装置のドライバ回路は、多結晶シリコン膜を能動層とする薄膜トランジスタによって構成される表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は表示装置のドライバ回路および表示装置に関するものである。

## 【0002】

【従来の技術】近年、薄膜トランジスタ（TFT；Thin Film Transistor）を用いたアクティブマトリックス方式の液晶ディスプレイ（LCD；Liquid Crystal Display）が高画質な表示装置として注目されている。

【0003】マトリックスに配置された点（ドット）で表示を行うドットマトリックスLCDには、単純マトリックス方式とアクティブマトリックス方式とがある。単純マトリックス方式は、マトリックスに配置された各画素セルの液晶を走査信号に同期して外部から直接駆動する方式であり、電極と液晶だけでLCDの表示部である画素部（液晶パネル）が構成されている。そのため、走査線数が増大すると 1 つの画素セルに割り当てられる駆動時間（デューティ）が少なくなり、コントラストが低下するという欠点がある。

【0004】一方、アクティブマトリックス方式は、マトリックスに配置された各画素セルに画素駆動素子（アクティブエレメント、スイッチ素子、画素制御素子）と信号蓄積素子（画素容量）とを集積し、各画素セルに一種の記憶動作を行わせて液晶を準スタティックに駆動する方式である。すなわち、画素駆動素子は、走査信号によってオンオフ状態が切り換わるスイッチとして機能する。そして、外部から送られてくるビデオ信号（データ信号、表示信号）は、駆動回路（データドライバ）を介してLCD内部の配線（データ線）へ転送される。その転送されたビデオ信号（正確にはビデオ信号から分離された画像信号）は、オン状態にある画素駆動素子を介して画素セルに伝達され、液晶の駆動が行われる。その後、画素駆動素子がオフ状態になると、画素セルに印加されたビデオ信号は電荷の状態では信号蓄積素子に蓄えられ、次に画素駆動素子がオン状態になるまで引き続き液晶の駆動が行われる。そのため、走査線数が増大して1つの画素セルに割り当てられる駆動時間が少なくなっても、液晶の駆動に影響を受けることはなく、コントラストが低下することもない。従って、アクティブマトリックス方式によれば、単純マトリックス方式に比べてはるかに高画質な表示が可能になる。

【0005】アクティブマトリックス方式は画素駆動素子の違いにより、トランジスタ型（3端子型）とダイオード型（2端子型）とに大別される。トランジスタ型は、ダイオード型に比べて製造が困難である反面、コントラストや解像度を高くするのが容易でCRTに匹敵する高品位なLCDを実現することができるという特徴がある。トランジスタ型の画素駆動素子としては、一般にTFTが用いられる。

【0006】図7は、データドライバの一部回路図であって、シフトレジスタ50の回路図である。シフトレジスタ50は、それぞれ2つのクロックドインバータ回路51、52とインバータ回路53とから構成されている。図8に示すように、クロックドインバータ回路51は、高電位側電源V<sub>DD</sub>と低電位側電源V<sub>SS</sub>間に直列に接続されたPチャネルMOSトランジスタ（PMOSトランジスタ）TP1、TP2とNチャネルMOSトランジスタ（NMOSトランジスタ）TN1、TN2とから構成されている。クロックドインバータ回路51の入力端子AはPMOSトランジスタTP1のゲートであって、入力端子BはNMOSトランジスタTN1のゲートである。そして、クロックドインバータ回路51は、PMOSトランジスタTP1のゲートにLレベルの信号、NMOSトランジスタTN1のゲートにHレベルの信号を入力すると、PMOSトランジスタTP2とNMOSトランジスタTN2とからなるインバータ回路として動作し、入力信号INを反転した信号を出力信号OUTとして出力するようになっている。

【0007】シフトレジスタ50の出力端子は、サンプ

リングトランジスタであるNMOSトランジスタ54のゲートに接続されている。すなわち、図示しないタイミングコントローラからクロック信号CK、バーCKを入力すると、シフトレジスタ50は、入力したスタートパルス信号SPに基づいてNMOSトランジスタ54をオンにする。そのNMOSトランジスタ54を介してビデオラインVLに伝達されるビデオ信号が画素セルに供給される。

【0008】次のクロック信号CK、バーCKが入力されると、シフトレジスタ50は、NMOSトランジスタ54をオフにするとともに、スタートパルス信号SPを次のシフトレジスタ50へ伝達する。

【0009】従って、クロック信号CK、バーCKに基づいてNMOSトランジスタ54が順次オンに制御される。そして、そのオンに制御されたNMOSトランジスタ54を介してビデオ信号が画素セルに供給される。

【0010】また、近年では、LCDパネルにおいては、その画素セルアレイのセル数が多くなっている（例えば、従来では640×400であったものが1280×1024）。従って、画素セルのセル数の増加に応じて1水平期間にビデオ信号をサンプリングするためのNMOSトランジスタ54およびシフトレジスタ50の数が多くなり、それによってもクロック信号CK、バーCKの周波数が高くなる。その結果、高い周波数のクロック信号CK、バーCKを生成するためのタイミングコントローラは複雑で規模が大きくなる。そこで、データドライバを複数の系列に構成して、クロック信号の周波数を抑える方法が用いられている。そのドライバの一部回路図を図9に示す。

【0011】データドライバの1系列のシフトレジスタ61にはクロック信号CK1、バーCK1が、2系列のシフトレジスタ62にはクロック信号CK2、バーCK2が、3系列のシフトレジスタ63にはクロック信号CK3、バーCK3が、4系列のシフトレジスタ64にはクロック信号CK4、バーCK4が供給されている。各クロック信号CK1、バーCK1～CK4、バーCK4は、それぞれ1/8周期異なる位相のクロック信号であって、そのクロック信号に基づいて各シフトレジスタ61～64は、NMOSトランジスタ65～68を順にオンオフ制御する。従って、ビデオ信号をサンプリングする周波数に比べて1/8の周波数のクロック信号CK1、バーCK1～CK4、バーCK4によりNMOSトランジスタ65～68を駆動することができるので、外部のクロック生成回路の構成を簡単にすることができる。

【0012】

【発明が解決しようとする課題】ところで、各クロック信号CK1、バーCK1～CK4、バーCK4は、所定の電圧（例えば5V）で駆動されるタイミングコントローラにより生成される。そして、生成された各クロック信号CK1、バーCK1～CK4、バーCK4は、各画素セルを駆動するのに必要

な電圧（例えば 1.8 V）にレベル変換され供給されている。しかしながら、レベル変換回路を通すことにより、図 10 に示すように、クロック信号 CK1 に対して反転クロック信号バーCK1 の位相がずれる場合がある。また、タイミングコントローラから伝送される間に、伝送経路の負荷によって正相クロック信号CK1 ～CK4 と逆相クロック信号バーCK1 ～バーCK4 の位相がずれる場合がある。尚、クロック信号CK2, バーCK2 ～CK4, バーCK4 における位相のずれは、クロック信号CK1, バーCK1 と同様であるので、図を省略してある。

【0013】そのため、シフトレジスタ 61～64 では、位相のずれたクロック信号CK1, バーCK1 ～CK4, バーCK4 においても動作するように補償設計する必要がある、回路設計が面倒であるという問題がある。

【0014】また、タイミングコントローラでは、各クロック信号CK1, バーCK1 ～CK4, バーCK4 を生成する段階で、一方のクロック信号、例えばクロック信号バーCK1 ～バーCK4 の位相を予め進めたり遅らしたりしてシフトレジスタに入力される段階での位相のずれが少なくなるように調整する必要がある、その回路の構成が複雑になるという問題がある。

【0015】本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

1) 位相ずれの少ない相補クロック信号を生成することの可能な表示装置のドライバ回路を提供する。

【0016】2) 位相ずれの少ない相補クロック信号を生成することが可能な表示装置のドライバ回路を備え、そのようなドライバ回路を用いて回路設計を容易にすることが可能な表示装置を提供する。

【0017】3) 高性能な表示装置のドライバ回路を提供する。

4) 高画質な表示装置を提供する。

【0018】

【課題を解決するための手段】請求項 1 に記載の発明は、相補クロック信号に基づいて動作するシフトレジスタ群を備えた表示装置のドライバ回路において、相補クロック信号のうち正相のクロック信号のみを入力し、その正相のクロック信号に基づいて逆相のクロック信号を生成するようにしたことをその要旨とする。

【0019】請求項 2 に記載の発明は、正相のクロック信号を入力し、その正相のクロック信号に基づいて逆相のクロック信号を生成するインバータ回路をドライバ回路内に少なくとも 1 つ以上設け、前記シフトレジスタ群は、入力した正相のクロック信号と、インバータ回路により生成された逆相のクロック信号とに基づいて動作するようにしたことをその要旨とする。

【0020】請求項 3 に記載の発明は、前記インバータ回路は、前記シフトレジスタ群を構成する複数のシフトレジスタよりなるブロック毎に設けたことをその要旨とする。

【0021】請求項 4 に記載の発明は、前記インバータ回路は、前記シフトレジスタ群を構成するシフトレジスタにそれぞれ設けたことをその要旨とする。請求項 5 に記載の発明は、並列に接続されたインバータ回路と、N チャンネル MOS トランジスタとから構成され、正相のクロック信号を入力し、そのクロック信号とは逆相のクロック信号を生成し出力する反転回路と、直列に接続されたインバータ回路と、N チャンネル MOS トランジスタとから構成され、正相のクロック信号を入力し、そのクロック信号と同相のクロック信号を生成し出力する非反転回路とから構成された反転信号生成回路を備え、前記シフトレジスタ群を構成する各シフトレジスタは、前記反転信号生成回路により生成された正相および逆相のクロック信号を入力し、それらのクロック信号に基づいて入力したスタートパルスを順次伝達して前記サンプリングトランジスタ群をそれぞれオンオフ制御するようにしたことをその要旨とする。

【0022】請求項 6 に記載の発明は、前記反転回路と非反転回路には、ダイオードと抵抗とから構成された入力保護回路をそれぞれ設け、その入力保護回路を介してクロック信号を入力するようにしたことをその要旨とする。

【0023】請求項 7 に記載の発明は、請求項 1～6 のうちのいずれか 1 項に記載の表示装置のドライバ回路を備えた表示モジュールと、その表示モジュールに接続され、ビデオ信号を入力し、そのビデオ信号に基づいた画像データと正相のクロック信号とを生成し、出力する駆動回路部とから構成されることをその要旨とする。

【0024】請求項 8 に記載の発明は、請求項 7 に記載の表示装置において、前記駆動回路部は、ビデオ信号を入力し、そのビデオ信号から同期信号を分離する同期分離回路と、前記同期分離回路により分離された同期信号を入力し、その同期信号に基づいて正相のクロック信号等のタイミング信号を生成するタイミングコントローラと、前記同期信号が分離されたビデオ信号を入力し、前記タイミングコントローラにより生成されたタイミング信号を入力し、そのタイミング信号に基づいて入力したビデオ信号から画像データを生成し出力するビデオ信号処理回路とから構成されることをその要旨とする。

【0025】請求項 9 に記載の発明は、請求項 1～6 のうちのいずれか 1 項に記載の表示装置のドライバ回路において、前記表示装置のドライバ回路は、多結晶シリコン膜を能動層とする薄膜トランジスタによって構成されることをその要旨とする。

【0026】請求項 10 に記載の発明は、請求項 7 または請求項 8 に記載の表示装置において、前記表示装置のドライバ回路は、多結晶シリコン膜を能動層とする薄膜トランジスタによって構成されることをその要旨とする。

【0027】従って、請求項 1 に記載の発明によれば、

相補クロック信号のうち正相のクロック信号のみが入力され、その正相のクロック信号に基づいて逆相のクロック信号が生成される。

【0028】請求項2に記載の発明によれば、インバータ回路は、正相のクロック信号を入力し、その正相のクロック信号に基づいて逆相のクロック信号を生成する。そして、各シフトレジスタは、入力した正相のクロック信号と、インバータ回路により生成された逆相のクロック信号とに基づいて動作する。

【0029】請求項3に記載の発明によれば、インバータ回路は、複数のシフトレジスタよりなるブロック毎にインバータ回路が設けられ、そのインバータ回路により正相のクロック信号から逆相のクロック信号が生成される。

【0030】請求項4に記載の発明によれば、インバータ回路は、複数のシフトレジスタ毎にそれぞれ設けられ、そのインバータ回路により正相のクロック信号から逆相のクロック信号が生成される。

【0031】請求項5に記載の発明によれば、反転信号生成回路は、反転回路と非反転回路とから構成される。反転回路は、並列に接続されたインバータ回路と、NチャンネルMOSトランジスタとから構成され、正相のクロック信号を入力し、そのクロック信号とは逆相のクロック信号を生成し出力する。非反転回路は、直列に接続されたインバータ回路と、NチャンネルMOSトランジスタとから構成され、正相のクロック信号を入力し、そのクロック信号と同相のクロック信号を生成し出力する。シフトレジスタは、反転信号生成回路により生成された正相および逆相のクロック信号を入力し、それらのクロック信号に基づいて入力したスタートパルスを順次伝達してサンプリングトランジスタをオンオフ制御する。

【0032】請求項6に記載の発明によれば、反転信号生成回路の反転回路と非反転回路には、ダイオードと抵抗とから構成された入力保護回路がそれぞれ設けられ、その入力保護回路を介してクロック信号が入力される。

【0033】請求項7に記載の発明によれば、表示装置は、表示モジュールと駆動回路部とから構成されている。駆動回路部は、ビデオ信号を入力し、そのビデオ信号に基づいた画像データと正相のクロック信号を生成し、出力する。表示モジュールは、駆動回路部から入力した正相のクロック信号に基づいて逆相のクロック信号を生成する。そして、表示モジュールは、正相および逆相のクロック信号に基づいて画像データを表示する。

【0034】請求項8に記載の発明によれば、請求項7に記載の表示装置において、駆動回路部には、同期分離回路、タイミングコントローラ、ビデオ信号処理回路が設けられている。同期分離回路は、ビデオ信号を入力し、そのビデオ信号から同期信号を分離する。タイミングコントローラは、同期分離回路により分離された同期信号を入力し、その同期信号に基づいて正相のクロック

信号等のタイミング信号を生成する。ビデオ信号処理回路は、同期信号が分離されたビデオ信号を入力し、タイミングコントローラにより生成されたタイミング信号を入力し、そのタイミング信号に基づいて入力したビデオ信号から画像データを生成し出力する。

【0035】請求項9に記載の発明において、多結晶シリコン膜を能動層とする薄膜トランジスタは、移動度が大きく駆動能力が高い。従って、表示装置のドライバ回路を高性能にすることができる。

【0036】請求項10に記載の発明において、多結晶シリコン膜を能動層とする薄膜トランジスタは、移動度が大きく駆動能力が高い。従って、表示装置のドライバ回路を高性能にすることが可能になり、表示装置を高画質にすることができる。

【0037】

【発明の実施の形態】以下、本発明を具体化した一実施形態を図面に従って説明する。図2は、本実施形態のアクティブマトリックス方式LCDのブロック回路図である。アクティブマトリックス方式LCDは、駆動回路部1と液晶表示モジュール2とから構成されている。

【0038】駆動回路部1には、同期分離回路3、タイミングコントローラ4、ビデオ信号処理回路5、電源回路6およびドライブ回路7、8が設けられている。同期分離回路3は、外部から入力したビデオ信号を画像信号と同期信号とに分離する。そして、同期分離回路3は、分離した画像信号をビデオ信号処理回路5へ、同期信号をタイミングコントローラ4へ出力する。

【0039】タイミングコントローラ4は、同期信号を入力し、その同期信号に基づいてLCD駆動のために必要な正相のクロック信号CK1～CK4、スタートパルス信号SP1～SP4等のタイミング信号を生成し、ドライブ回路7を介して液晶表示モジュール2へ出力するようになっている。

【0040】ビデオ信号処理回路5は、同期分離回路3から画像信号を入力し、その画像信号を増幅する。また、ビデオ信号処理回路5は、タイミングコントローラ4から出力されたタイミング信号を入力する。そして、ビデオ信号処理回路5は、その増幅した画像信号を、入力したタイミング信号に基づいて液晶表示モジュール2の駆動に必要な波形に変換し、ドライブ回路8を介してその液晶表示モジュール2へ出力する。

【0041】電源回路6は、外部電源を入力し、駆動回路部1内の各回路3～5、7、8や、液晶表示モジュール2に必要な電圧を生成し、各回路3～5、7、8および液晶表示モジュール2へ出力するようになっている。

【0042】尚、液晶表示モジュール2は容量負荷入力であって、ドライブ回路7、8は、それぞれ入力した信号を液晶表示モジュール2の駆動に必要な信号（電圧）に変換し出力するようになっている。

【0043】図3は、液晶表示モジュール2のブロック

回路図である。液晶表示モジュール 2 には、画素セルアレイ 1 1、垂直駆動回路（Y ドライバ） 1 2 および水平駆動回路（X ドライバ） 1 3 が設けられている。

【0044】画素セルアレイ（画素部） 1 1 には各走査線（ゲート配線） $G_1 \sim G_n$  と各データ線（ドレイン配線） $D_1 \sim D_m$  ( $D_1 \dots D_i, D_{i+1} \dots D_m$ ) とが配置されている。尚、 $n, i, m$  は整数である。各走査線  $G_n$  と各データ線  $D_m$  とはそれぞれ直交し、その直交部分に画素 GC が設けられている。そして、各走査線  $G_n$  は Y ドライバ（ゲートドライバ） 1 2 に接続され、走査信号（ゲート信号）が印加されるようになっている。また、各データ線  $D_m$  は X ドライバ（データドライバ、ドレインドライバ） 1 3 に接続され、画像信号が印加されるようになっている。これらのドライバ 1 2, 1 3 によって周辺駆動回路部 1 0 1 が構成されている。そして、各ドライバ 1 2, 1 3 のうち少なくともいずれか一方を画素セルアレイ 1 1 と同一基板上に形成した液晶表示モジュール 2 は、一般にドライバ一体型（ドライバ内蔵型）LCD と呼ばれる。ドライバ一体型 LCD では、各線  $G_1 \sim G_n, D_1 \sim D_m$  の配線長が短くなるため、配線抵抗や配線容量を小さくすることが可能になり、画質を向上させることができる。

【0045】画素セル GC は、画素駆動素子としての TFT 1 0 2、液晶セル LC、補助容量 CS から構成される。走査線  $G_n$  には TFT 1 0 2 のゲートが接続され、データ線  $D_m$  には TFT 1 0 2 のドレインが接続されている。そして、TFT 1 0 2 のソースには、液晶セル LC の表示電極（画素電極）と補助容量（蓄積容量または付加容量）CS とが接続されている。この液晶セル LC と補助容量 CS とにより、前記信号蓄積素子が構成される。液晶セル LC の共通電極（表示電極の反対側の電極）には電圧  $V_{com}$  が印加されている。一方、補助容量 CS において、TFT 1 0 2 のソースと接続される側の電極の反対側の電極には定電圧  $V_R$  が印加されている。この液晶セル LC の共通電極は、文字どおり全ての画素セル GC に対して共通した電極となっている。そして、液晶セル LC の表示電極と共通電極との間には静電容量が形成されている。尚、補助容量 CS において、TFT 1 0 2 のソースと接続される側の電極の反対側の電極は、隣の走査線と接続されている場合もある。

【0046】このように構成された画素セル GC において、走査線  $G_n$  を正電圧にして TFT 1 0 2 のゲートに正電圧を印加すると、TFT 1 0 2 がオンとなる。すると、データ線  $D_m$  に印加された画像信号で、液晶セル LC の静電容量と補助容量 CS とが充電される。反対に、走査線  $G_n$  を負電圧にして TFT 1 0 2 のゲートに負電圧を印加すると、TFT 1 0 2 がオフとなり、その時点でデータ線  $D_m$  に印加されていた電圧が、液晶セル LC の静電容量と補助容量 CS とによって保持される。このように、画素セル GC へ書き込みたい画像信号をデータ線  $D_m$  に与えて走査線  $G_n$  の電圧を制御することにより、画素セル

GC に任意の画像信号を保持させておくことができる。その画素セル GC の保持している画像信号に応じて液晶セル LC の透過率が変化し、画像が表示される。

【0047】ここで、画素セル GC の特性として重要なものに、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素セルアレイ 1 1 の仕様から定められた単位時間内に、信号蓄積素子（液晶セル LC および補助容量 CS）に対して所望の画像信号電圧を十分に書き込むことができるかどうかという点である。また、保持特性に対して要求されるのは、信号蓄積素子に一旦書き込んだ画像信号電圧を必要な時間だけ保持することができるかどうかという点である。

【0048】補助容量 CS が設けられているのは、信号蓄積素子の静電容量を増大させて書き込み特性および保持特性を向上させるためである。すなわち、液晶セル LC はその構造上、静電容量の増大には限界がある。そこで、補助容量 CS によって液晶セル LC の静電容量の不足を補うわけである。

【0049】Y ドライバ 1 2 は、駆動回路部 1 のドライブ回路 7 および電源回路 6 からそれぞれタイミング信号および駆動電圧を入力し、そのタイミング信号に基づいて走査信号（ゲート信号）を各走査線  $G_1 \sim G_n$  に印加する。

【0050】X ドライバ 1 3 は、N チャンネル・サンプリングトランジスタ群よりなるアナログスイッチ 1 4 と、そのアナログスイッチ 1 4 をオンオフ制御するシフトレジスタ 1 5 とから構成されている。シフトレジスタ 1 5 は、4 系統のシフトレジスタ群であって、各系統のシフトレジスタ群にはクロック信号  $CK_1 \sim CK_4$  とスタートパルス信号  $SP_1 \sim SP_4$  がそれぞれ入力される。そして、シフトレジスタ 1 5 は、入力したクロック信号  $CK_1 \sim CK_4$  とスタートパルス信号  $SP_1 \sim SP_4$  とに基づいて動作し、アナログスイッチ 1 4 をオンオフ制御するようになっている。

【0051】駆動回路部 1 のドライブ回路 8 からビデオライン VL を介して送られてくる画像信号は、シフトレジスタ 1 5 によってオンに制御されたアナログスイッチ 1 4 を介して各データ線  $D_1 \sim D_m$  に印加される。

【0052】1 つの系統のシフトレジスタ群は、シリーズに接続された複数のシフトレジスタ  $SR_1 \dots SR_i, SR_{i+1} \dots SR_m$  ) により構成されている。尚、他の 3 つの系統のシフトレジスタ群については、同様の構成であるので、図を省略してある。

【0053】図 1 は、X ドライバ 1 3 の一部回路図であって、シフトレジスタ  $SR_i, SR_{i+1}$  およびアナログスイッチ 1 4 を構成する N チャンネル MOS トランジスタ  $T_i, T_{i+1}$  の回路図である。各シフトレジスタ  $SR_i, SR_{i+1}$  は、それぞれ 2 つのクロックドインバータ回路 1 6, 1 7 と、2 つのインバータ回路 1 8, 1 9 とから構成されている。各クロックドインバータ回路 1 6, 1 7 は、従来と

同様に、図 8 に示すように P M O S トランジスタ TP1 , TP2 、 N M O S トランジスタ TN1 , TN2 により構成されている。

【 0 0 5 4 】 シフトレジスタ  $SR_i$  を構成するクロックドインバータ回路 1 6 の入力端子は、前段のシフトレジスタ  $SR_{i-1}$  に接続され、スタートパルス信号 SP1 を入力している。クロックドインバータ回路 1 6 の出力端子は、インバータ回路 1 8 を介して次段のシフトレジスタ  $SR_{i+1}$  に接続されている。また、インバータ回路 1 8 の出力端子には、クロックドインバータ回路 1 7 の入力端子が接続され、そのクロックドインバータ回路 1 7 の出力端子はインバータ回路 1 8 の入力端子に接続されている。

【 0 0 5 5 】 各シフトレジスタ  $SR_i, SR_{i+1}$  のインバータ回路 1 9 には、正相のクロック信号 CK1 が入力されている。そして、インバータ回路 1 9 は、正相のクロック信号 CK1 を反転した逆相のクロック信号  $\overline{CK1}$  を生成し、クロックドインバータ回路 1 6 , 1 7 へ出力するようになっている。

【 0 0 5 6 】 そして、シフトレジスタ  $SR_i$  のクロックドインバータ回路 1 6 の入力端子 A とクロックドインバータ回路 1 7 の入力端子 B には正相のクロック信号 CK1 が入力される。また、クロックドインバータ回路 1 6 の入力端子 B とクロックドインバータ回路 1 7 の入力端子 A には逆相のクロック信号  $\overline{CK1}$  のクロック信号が入力される。

【 0 0 5 7 】 一方、シフトレジスタ  $SR_{i+1}$  のクロックドインバータ回路 1 6 の入力端子 B とクロックドインバータ回路 1 7 の入力端子 A には正相のクロック信号 CK1 が入力される。また、クロックドインバータ回路 1 6 の入力端子 A とクロックドインバータ回路 1 7 の入力端子 B には逆相のクロック信号  $\overline{CK1}$  のクロック信号が入力される。

【 0 0 5 8 】 すなわち、各シフトレジスタ  $SR_i, SR_{i+1}$  は、それぞれ正相のクロック信号 CK1 を入力し、その正相のクロック信号 CK1 から逆相のクロック信号  $\overline{CK1}$  を生成する。各シフトレジスタ  $SR_i, SR_{i+1}$  は、入力した正相のクロック信号 CK1 と、生成した逆相のクロック信号  $\overline{CK1}$  とに基づいて動作し、スタートパルス信号 SP1 を順に次のシフトレジスタへ伝達する。

【 0 0 5 9 】 そして、シフトレジスタ  $SR_i$  は、入力したスタートパルス信号 SP1 をクロックドインバータ回路 1 7 およびインバータ回路 1 8 でラッチするとともに、N M O S トランジスタ  $T_i$  をオンに制御する。すると、ビデオライン VL に伝達された画像信号は、オンに制御された N M O S トランジスタ  $T_i$  を介してデータ線  $Di$  へ伝達される。

【 0 0 6 0 】 従って、各シフトレジスタ  $SR_i, SR_{i+1}$  により生成される逆相のクロック信号  $\overline{CK1}$  は、正相のクロック信号 CK1 に対して、インバータ回路 1 9 の分だけ遅れることになる。このインバータ回路 1 9 による遅れ

は、従来の逆相のクロック信号  $\overline{CK1} \sim \overline{CK4}$  の遅れに比べて小さくなっている。

【 0 0 6 1 】 また、逆相のクロック信号  $\overline{CK1}$  はインバータ回路 1 9 により遅れ、正相のクロック信号 CK1 より進むことはない。従って、各シフトレジスタ  $SR_i, SR_{i+1}$  の設計は、正相のクロック信号 CK1 に対して少し遅れる逆相のクロック信号  $\overline{CK1}$  に対する補償設計を行うだけでよいので、設計が容易となる。

【 0 0 6 2 】 尚、同じ系列の他のシフトレジスタ  $SR_1 \sim SR_m$  についても、同様にインバータ回路 1 9 を設け、正相のクロック信号 CK1 から逆相のクロック信号  $\overline{CK1}$  を生成し、両クロック信号 CK1,  $\overline{CK1}$  に基づいて N M O S トランジスタ  $T_1 \sim T_m$  のオンオフ制御を行う。すなわち、各シフトレジスタ  $SR_1 \sim SR_m$  において、生成される逆相のクロック信号  $\overline{CK1}$  は、正相のクロック信号 CK1 に対してインバータ回路 1 9 の分だけ遅れることになる。従って、各シフトレジスタ  $SR_1 \sim SR_m$  において同様に補償設計を行うことができるので、設計が容易になる。

【 0 0 6 3 】 また、他の系統のシフトレジスタ  $SR_1 \sim SR_m$  においても、インバータ回路 1 9 により逆相のクロック信号  $\overline{CK2} \sim \overline{CK4}$  を生成することにより、同様に補償設計を行うことができるので、設計が容易になる。

【 0 0 6 4 】 更に、駆動回路部 1 において逆相のクロック信号  $\overline{CK1} \sim \overline{CK4}$  を生成するための回路が不要になるとともに、ドライブ回路 7 において逆相のクロック信号  $\overline{CK1} \sim \overline{CK4}$  に対してレベル変換を行うための回路が不要となるので、回路構成を簡単にすることができる。更にまた、正相のクロック信号 CK1  $\sim$  CK4 のみを液晶表示モジュール 2 へ伝達するので、駆動回路部 1 と液晶表示モジュール 2 とを接続する配線の数进行少くすることができる。

【 0 0 6 5 】 このように、本実施形態によれば、以下の作用および効果を得ることができる。

① X ドライバ 1 3 のシフトレジスタ 1 5 を構成する各シフトレジスタ  $SR_1 \sim SR_m$  にそれぞれインバータ回路 1 9 を設ける。各シフトレジスタ  $SR_1 \sim SR_m$  には、正相のクロック信号 CK1 のみを供給する。そして、そのインバータ回路 1 9 により正相のクロック信号 CK1 から逆相のクロック信号  $\overline{CK1}$  を生成する。シフトレジスタ  $SR_1 \sim SR_m$  は、正相のクロック信号 CK1 と、生成した逆相のクロック信号  $\overline{CK1}$  とに基づいて入力したスタートパルス信号 SP1 により N M O S トランジスタ  $T_i$  をオンオフ制御するようにした。

【 0 0 6 6 】 その結果、正相のクロック信号 CK1 に対する逆相のクロック信号  $\overline{CK1}$  の位相の遅れをインバータ回路 1 9 の分だけにすることができるので、各シフトレジスタ  $SR_1 \sim SR_m$  の補償設計を簡単にすることができる。

【0067】②逆相のクロック信号バーCK1 を生成するインバータ回路19を各シフトレジスタSR1 ～SRm に設けるようにした。その結果、駆動回路部1内で逆相のクロック信号バーCK1 を生成するための回路と、液晶表示モジュール2を駆動するために必要な電圧に変換するための回路とを省略することができ、アクティブマトリックス方式LCDを小型化することができる。

【0068】ところで、TFT102として、透明絶縁基板上に形成された多結晶シリコン膜を能動層に用いたTFT（以下、多結晶シリコンTFTという）の開発が進められている。

【0069】多結晶シリコンTFTは、非晶質シリコン膜を能動層に用いた薄膜トランジスタ（以下、非晶質シリコンTFTという）に比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコンTFTは、画素駆動素子としてだけでなく論理回路を構成する素子としても使用することができる。従って、多結晶シリコンTFTを用いれば、画素セルアレイ11だけでなく、その周辺に配置されている周辺駆動回路部101（Yドライバ12、Xドライバ13）までを同一基板上に一体化することで、ドライバー一体型LCDを得ることができる。すなわち、各ドライバ12、13の内部素子を構成する各MOSトランジスタを多結晶シリコンTFTで形成する。そして、画素セルアレイ11に配置された画素駆動素子としての多結晶シリコンTFT102と、各ドライバ12、13を構成する多結晶シリコンTFT103とを同一工程で形成するわけである。

【0070】また、多結晶シリコンTFTは移動度が大きく駆動能力が高いため、多結晶シリコンTFT103によって各ドライバ12、13を構成すれば、各ドライバ12、13を高性能にすることができる。そして、各ドライバ12、13が高性能になれば、LCD（液晶表示モジュール2）の画質を向上させることができる。

【0071】図6に、プレーナ型の多結晶シリコンTFTを用いたドライバー一体型で透過型構成をとる本実施形態の液晶表示モジュール2の概略断面を示す。図6

（a）に画素セルアレイ11の一部概略断面を示し、図6（b）に画素セルアレイ11と各ドライバ12、13との間の配線部分の概略断面を示し、図6（c）に各ドライバ12、13の概略断面を示す。

【0072】図6（a）に示すように、相対向する各透明絶縁基板201、202の間には液晶が充填された液晶層203が形成されている。透明絶縁基板201には液晶セルLCの表示電極204が設けられ、透明絶縁基板202には液晶セルLCの共通電極205が設けられており、各電極204、205は液晶層203を挟んで対向している。

【0073】透明絶縁基板201における液晶層203側の表面には、多結晶シリコンTFT102の能動層となる多結晶シリコン膜206が形成されている。多結晶

シリコン膜206上にはゲート絶縁膜207が形成されている。ゲート絶縁膜207上には、走査線Gnを構成するゲート電極208が形成されている。多結晶シリコン膜206にはド레인領域209およびソース領域210が形成されて多結晶シリコンTFT102が構成される。

【0074】透明絶縁基板201において多結晶シリコンTFT102と隣接する部分には、多結晶シリコンTFT102の作成と同時に同一工程にて補助容量CSが形成されている。補助容量CSの蓄積電極211は多結晶シリコン膜206に形成され、多結晶シリコンTFT102のソース領域210と接続されている。蓄積電極211上には誘電体膜212が形成され、誘電体膜212上には補助容量CSの対向電極213が形成されている。尚、誘電体膜212はゲート絶縁膜207の延長上にあり、ゲート絶縁膜207と同一構成で同一工程にて形成される。また、対向電極213はゲート電極208と同一構成で同一工程にて形成される。対向電極213およびゲート電極208の側壁には絶縁膜219が形成され、対向電極213およびゲート電極208の上には絶縁膜214が形成されている。多結晶シリコンTFT102および補助容量CSの全面に層間絶縁膜215が形成されている。ソース領域210とド레인領域209とはそれぞれ、層間絶縁膜215に形成された各コンタクトホールを介して、ソース電極216とデータ線Dmを構成するド레인電極217とに接続されている。ド레인電極217およびソース電極216を含むデバイスの全面に絶縁膜218が形成されている。ソース電極216は絶縁膜218に形成されたコンタクトホールを介して表示電極204と接続されている。尚、ド레인電極217およびソース電極216の材質としては一般にアルミ合金が用いられ、表示電極204の材質としては一般にITO（Indium Tin Oxide）が用いられる。また、各電極204、217、218の形成には一般にスパッタ法が用いられる。

【0075】このように、ソース領域210と表示電極204とがソース電極216を介して接続されているのは、ソース領域210と表示電極204とのオーミックコンタクトをとるためである。すなわち、ソース電極216を省くと、多結晶シリコン膜206から成るソース領域210とITOから成る表示電極204とが直接接続される。その結果、ソース領域210と表示電極204とのヘテロ接合によってバンドギャップ差によるエネルギーギャップが生じ、良好なオーミックコンタクトを得られなくなる。ソース領域210と表示電極204とのオーミックコンタクトがとれていないと、データ線Dmに印加された画像信号が画素セルGCへ正確に書き込まれなくなり、LCDの画質が低下することになる。

【0076】図6（b）に示すように、透明絶縁基板201上には絶縁膜215を介して走査線Gnまたはデータ

線Dmが形成され、その配線Gn, Dnを含むデバイスの全面に絶縁膜218が形成されている。絶縁膜218上には画素セルアレイ11と同様に、液晶層203、共通電極205、透明絶縁基板202が形成されている。

【0077】図6(c)に示すように、透明絶縁基板201における液晶層203側の表面には、各ドライバ12, 13を構成するプレーナ型の多結晶シリコンTFT103が形成されている。多結晶シリコンTFT103は、多結晶シリコンTFT102の作成と同時に同一工程にて形成されている。尚、多結晶シリコンTFT103を構成する各部材については多結晶シリコンTFT102と同一符号を付してある。多結晶シリコンTFT103を含むデバイスの全面に絶縁膜218が形成されている。絶縁膜218上には画素セルアレイ11と同様に、液晶層203、共通電極205、透明絶縁基板202が形成されている。

【0078】ところで、各多結晶シリコンTFT102, 103の能動層となる多結晶シリコン膜206の形成方法には以下のものがある。

①多結晶シリコン膜206を直接形成する方法；CVD法またはPVD法を用いる。CVD法には常圧CVD法、減圧CVD法、プラズマCVD法、光励起CVD法などがある。また、PVD法には蒸着法、EB(Electron Beam)蒸着法、MBE(Molecular Beam Epitaxy)法、スパッタ法などがある。

【0079】この中では、モノシラン( $\text{SiH}_4$ )またはジシラン( $\text{Si}_2\text{H}_6$ )の熱分解を利用する減圧CVD法が一般的であり、最も高品質な多結晶シリコン膜206を形成することができる。減圧CVD法では、処理温度が550℃以下では非晶質、620℃以上では多結晶となる。

【0080】また、プラズマ中でのモノシランまたはジシランの熱分解を利用するプラズマCVD法も用いられる。プラズマCVD法の処理温度は300℃程度で、水素を添加すると反応が促進されて非晶質シリコン膜が形成される。そして、不活性ガス(ヘリウム, ネオン, アルゴン, クリプトン, キセノン, ラドン)を添加するとプラズマが励起され、同一の処理温度でも多結晶シリコン膜が形成される。

【0081】②非晶質シリコン膜を形成した後に多結晶化させて多結晶シリコン膜206を形成する方法；固相成長法または溶融再結晶化法を用いる。固相成長法は、非晶質シリコン膜に600℃前後で20時間前後の長時間の熱処理を行うことにより、固体のままで多結晶化させて多結晶シリコン膜を得る方法である。

【0082】溶融再結晶化法は、非晶質シリコン膜の表面だけを溶融させて再結晶化を図りながら基板温度を600℃以下に保つ方法であり、レーザアニール法やRTA(Rapid Thermal Annealing)法がある。レーザアニール法は、非晶質シリコン膜の表面にレーザを照射して加

熱溶融させる方法である。RTA法は、非晶質シリコン膜の表面にランプ光を照射して加熱溶融させる方法である。

【0083】従来の多結晶シリコンTFTは、1000℃程度の高温の工程(高温プロセスと呼ばれる)を使って形成されていた。高温プロセスは長年に渡る十分な技術的蓄積のあるLSI技術を踏襲したものである。そのため、高温プロセスで形成された多結晶シリコンTFT(高温多結晶シリコンTFTと呼ばれる)は、素子特性、信頼性、再現性に優れている。しかし、高温プロセスはプロセス温度が高いため、透明絶縁基板には石英ガラスを使わざるを得ない。石英ガラスは大型化に伴って著しく高価になる上に現在のところ大型化には限りがあるため、透明絶縁基板の寸法が制限を受ける。そのため、コスト的に見合う液晶表示モジュール2のパネルサイズは3型以下となり、ビデオカメラのビューファインダ用や液晶プロジェクタ用としては十分に使用できるものの、直視用としてはパネルサイズが小さすぎて使用できない。

【0084】一方、非晶質シリコンTFTは、400℃以下の低温の工程を使って形成可能なため、透明絶縁基板に通常のガラスを使うことができる。通常のガラスは石英ガラスの約1/10の価格で寸法にも制限がないが、LCD用に市販されている高耐熱ガラス(例えば、米国Corning Inc.製の「7059」)でも600℃程度の耐熱温度しかない。

【0085】そこで、透明絶縁基板に通常のガラス(高耐熱ガラス)を使えるように、多結晶シリコンTFTを600℃程度以下の低温の工程(低温プロセスと呼ばれる)を使って形成することが求められている。低温プロセスで形成された多結晶シリコンTFTは低温多結晶シリコンTFTと呼ばれる。

【0086】従って、透明絶縁基板201に高耐熱ガラスを用いてパネルサイズの大きなLCD(液晶表示モジュール2)を安価に提供するには、①多結晶シリコン膜206の形成時に低温プロセス(前記したように、固相成長法または溶融再結晶化法を用いる)を採用すると共に、②ゲート絶縁膜207の形成時やソース領域210およびドレイン領域209の形成時をも含む多結晶シリコンTFT102, 103の製造の全工程に渡って低温プロセスを採用すればよい。

【0087】尚、本発明は上記実施形態に限定されるものではなく、以下のように実施してもよい。

(1) 上記実施形態では、4系列のシフトレジスタ15を設けた液晶表示モジュール2に具体化した但、1系列または複数系列(2, 8系列等)のシフトレジスタを設けた液晶表示モジュールに具体化する。

【0088】(2) 上記実施形態では、各シフトレジスタSR1～SRm毎にインバータ回路19を設けて正相のクロック信号CK1から逆相のクロック信号バーCK1を生成

したが、複数のシフトレジスタに対して1つのインバータ回路を設けて逆相のクロック信号バーCK1を生成し、各シフトレジスタに供給するようにしてもよい。すなわち、図4(a)に示すように、複数のシフトレジスタよりなるレジスタブロック20毎にインバータ回路21を設ける。そして、そのインバータ回路21により逆相のクロック信号バーCK1を生成し、ブロック20の各シフトレジスタへ供給する。

【0089】また、図4(b)に示すように、1系列のシフトレジスタ15を構成する複数のレジスタブロック20に対して1つのインバータ回路22を設けて実施する。このとき、生成した逆相のクロック信号バーCK1により動作させるシフトレジスタが多いので、インバータ回路22は、上記実施形態のインバータ回路19に比べて駆動能力を大きく設定するとよい。

【0090】(3)上記実施形態では、インバータ回路19を設け、正相のクロック信号CK1から逆相のクロック信号バーCK1を生成するようにしたが、図5に示すように、正相のクロック信号CK1と逆相のクロック信号バーCK1とを生成する相補信号生成回路30をXドライバ13に設けてもよい。そして、各シフトレジスタSR1～SR<sub>m</sub>は、相補信号生成回路30により生成された正相のクロック信号CK1と逆相のクロック信号バーCK1とに基づいて動作するようにする。

【0091】相補信号生成回路30は、入力保護部31a、31bと反転回路部32と非反転回路部33とから構成されている。入力保護部31a、31bは、ダイオードおよび抵抗により構成され、正相のクロック信号CLKに対してESD(ElectroStatic Discharge: 静電気放電)等に対する保護を行っている。

【0092】反転回路部32は、PMOSトランジスタとNMOSトランジスタとからなるインバータ回路32a、32bと、NMOSトランジスタ32cとから構成されている。非反転回路部33は、PMOSトランジスタとNMOSトランジスタとからなるインバータ回路33a、33bと、NMOSトランジスタ33cとから構成されている。

【0093】反転回路部32のインバータ回路32a、32bは並列に接続され、非反転回路部33のインバータ回路33a、33bは直列に接続されている。両回路部32、33のインバータ回路32b、33bの出力端子にはNMOSトランジスタ32c、33cのソースがそれぞれ接続され、NチャネルMOSトランジスタ32c、33cのドレインは高電位側電源V<sub>DD</sub>にそれぞれ接続されている。また、反転回路部32のNMOSトランジスタ32cのゲートはインバータ回路32aの出力端子に接続されている。非反転回路部33のNMOSトランジスタ33cのゲートはインバータ回路33aの入力端子に接続されている。

【0094】相補信号生成回路30は、図2に示す駆動

回路部1のタイミングコントローラ4により生成された正相のクロック信号CLKをドライブ回路7を介して入力する。そのクロック信号CLKは、非反転回路部33のインバータ回路33a、33bを介して同相のクロック信号CK1として出力される。また、クロック信号CLKは、反転回路部32のインバータ回路32a、32bを介して逆相のクロック信号バーCK1として出力される。このとき、両回路部32、33のNMOSトランジスタ32c、33cは、インバータ回路32a、32b、33a、33bによる遅れを補償している。

【0095】この構成により、正相のクロック信号CK1と逆相のクロック信号バーCK1とのディレイを合わせることができるので、更に回路設計を容易にすることができる。また、インバータ回路32a、32b、33a、33bによるバッファにより駆動能力を大きくすることができるので、レジスタ毎にインバータ回路を設ける必要がなく、上記実施形態に比べてXドライバ13の回路面積を小さくすることができる。

【0096】(4)上記実施形態では、ドライバー体型の液晶表示モジュール2に具体化した。ドライバー体型ではない液晶表示モジュール、例えばTAB、COGによる液晶表示モジュールに具体化する。

【0097】(5)上記実施形態では、TFT-LCDに具体化した。ダイオードを用いたMIM-LCD、STN-LCD等に具体化する。また、単純マトリックス型LCDに具体化する。

【0098】(6)上記実施形態では、Xドライバ13のシフトレジスタ15に具体化した。Yドライバ12のシフトレジスタに具体化して実施する。

(7)TFT102、103を、多結晶シリコンTFTではなく非晶質シリコンTFTに置き代える。

【0099】(8)低温多結晶シリコンTFT102、103を、高温多結晶シリコンTFT102、103に置き代える。

(9)TFT102、103を、プレーナ型以外の構造(逆プレーナ型、スタガ型、逆スタガ型など)のTFTに置き代える。

【0100】(10)透過型構成をとる液晶表示モジュール2ではなく、反射型構成をとる液晶表示モジュールに適用する。以上、各実施形態について説明したが、各実施形態から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

【0101】(イ)請求項7、8、10のうちのいずれか1項に記載の表示装置において、前記表示モジュールは画素セルアレイとドライバ回路とから構成され、その表示モジュールは1枚の基板上に形成されている表示装置。

【0102】このようにすれば、ドライバー体型の表示装置を得ることができる。ドライバー体型の表示装置では、各配線の配線長が短くなるため、配線抵抗や配線容

量を小さくすることが可能になり、画質を向上させることができる。

【0103】(ロ) 上記(イ)に記載の表示装置において、前記薄膜トランジスタは低温プロセスによって形成される表示装置。このようにすれば、基板に通常のガラスを用いることが可能になり、表示モジュールを大型化することができる。

【0104】

【発明の効果】

1) 位相ずれの少ない相補クロック信号を生成することの可能な表示装置のドライバ回路を提供することができる。

【0105】2) 位相ずれの少ない相補クロック信号を生成することが可能な表示装置のドライバ回路を備え、そのようなドライバ回路を用いて回路設計を容易にすることが可能な表示装置を提供することができる。

【0106】3) 高性能な表示装置のドライバ回路を提供することができる。

4) 高画質な表示装置を提供することができる。

【図面の簡単な説明】

【図1】一実施形態のドライバ回路の一部回路図。

【図2】アクティブマトリックス方式LCDのブロック回路図。

【図3】液晶表示モジュールのブロック回路図。

【図4】別の実施形態のシフトレジスタを示す回路図。

【図5】別の実施形態の相補信号生成回路の回路図。

【図6】液晶表示モジュールの概略断面図。

【図7】従来のドライバの一部回路図。

【図8】クロックドインバータ回路の回路図。

【図9】4系統のシフトレジスタの回路図。

【図10】従来のクロック信号の波形図。

【符号の説明】

1…駆動回路部

2…液晶表示モジュール

3…同期分離回路

4…タイミングコントローラ

5…ビデオ信号処理回路

12…Yドライバ(垂直駆動回路, ゲートドライバ)

13…Xドライバ(水平駆動回路, データドライバ, ドレインドライバ)

14,  $T_i, T_{i+1}$ …アナログスイッチとしてのNチャンネルMOSトランジスタ

15…シフトレジスタ(シフトレジスタ群)

19…インバータ回路

101…周辺駆動回路部

102, 103…多結晶シリコンTFT

206…多結晶シリコン膜

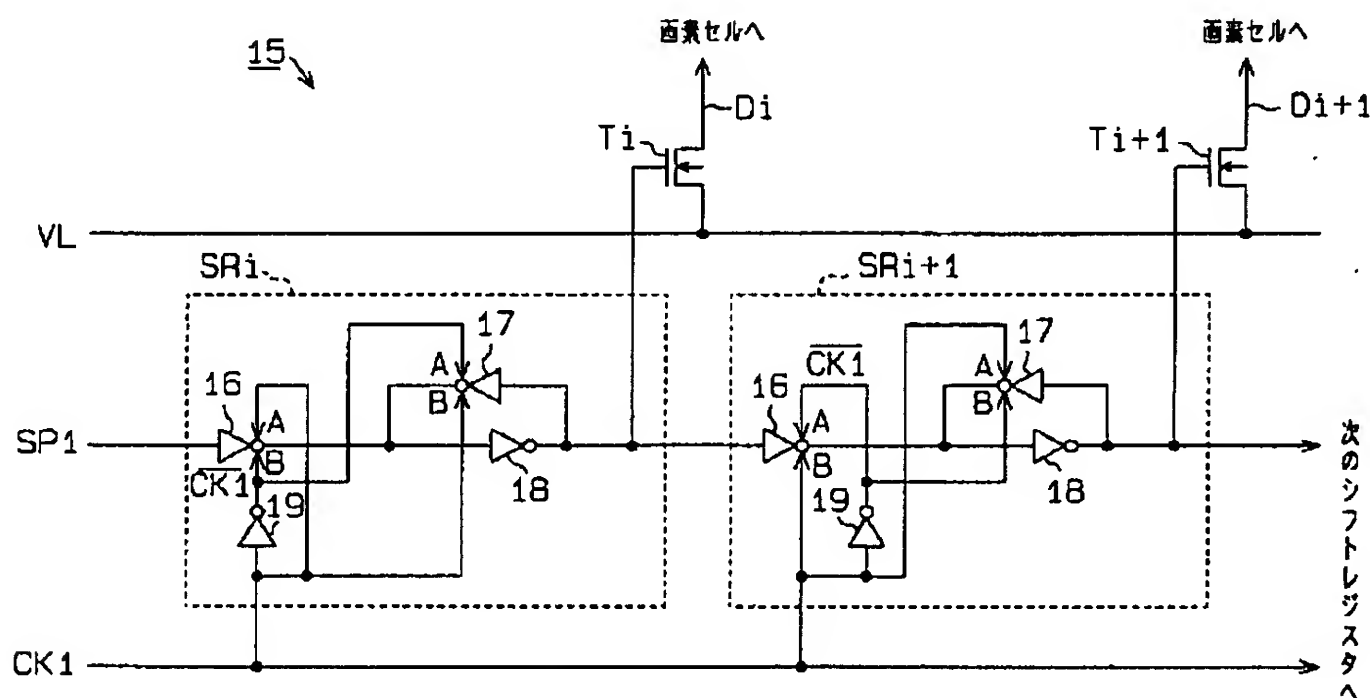
SR1 ~ SRm…シフトレジスタ

CK, CK1~CK4…正相のクロック信号

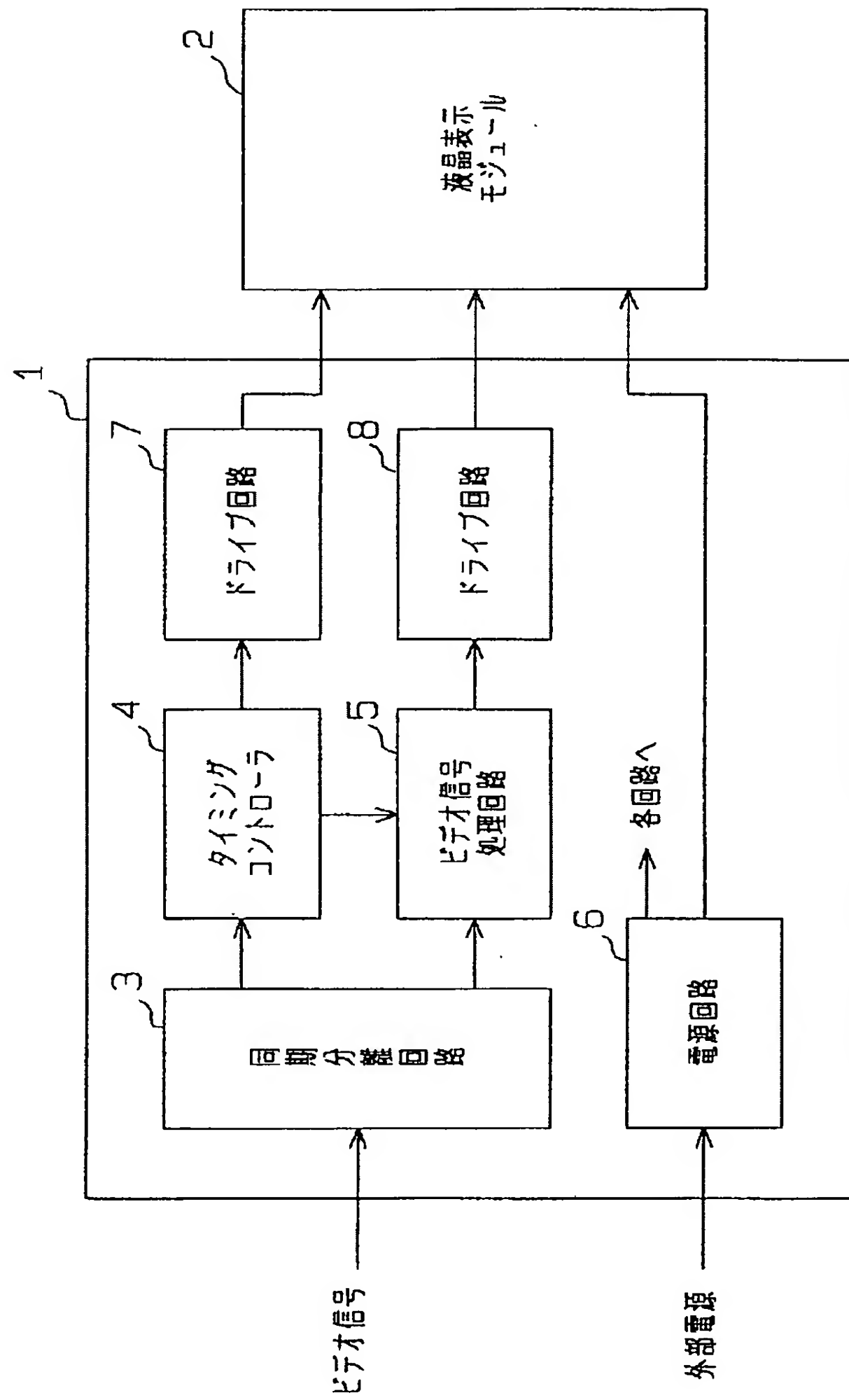
バーCK, バーCK1 ~ バーCK4…逆相のクロック信号

GC…画素セル

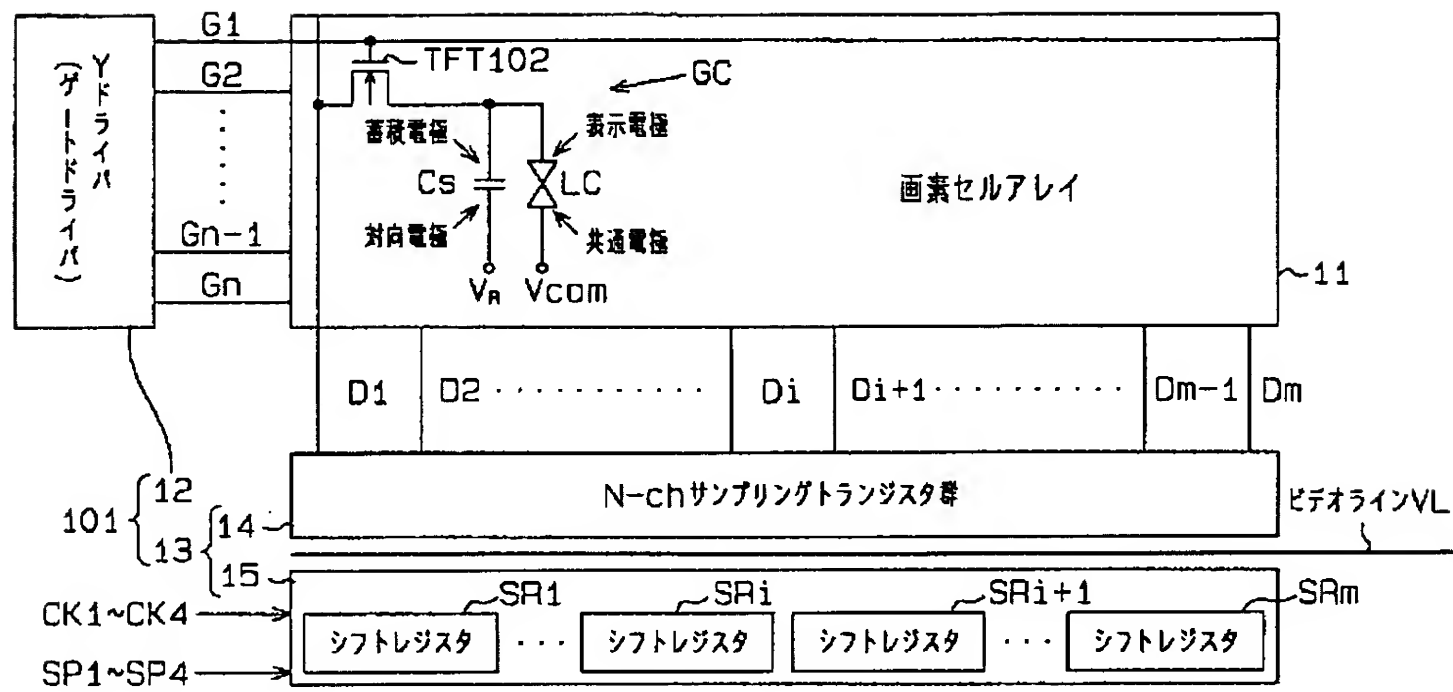
【図1】



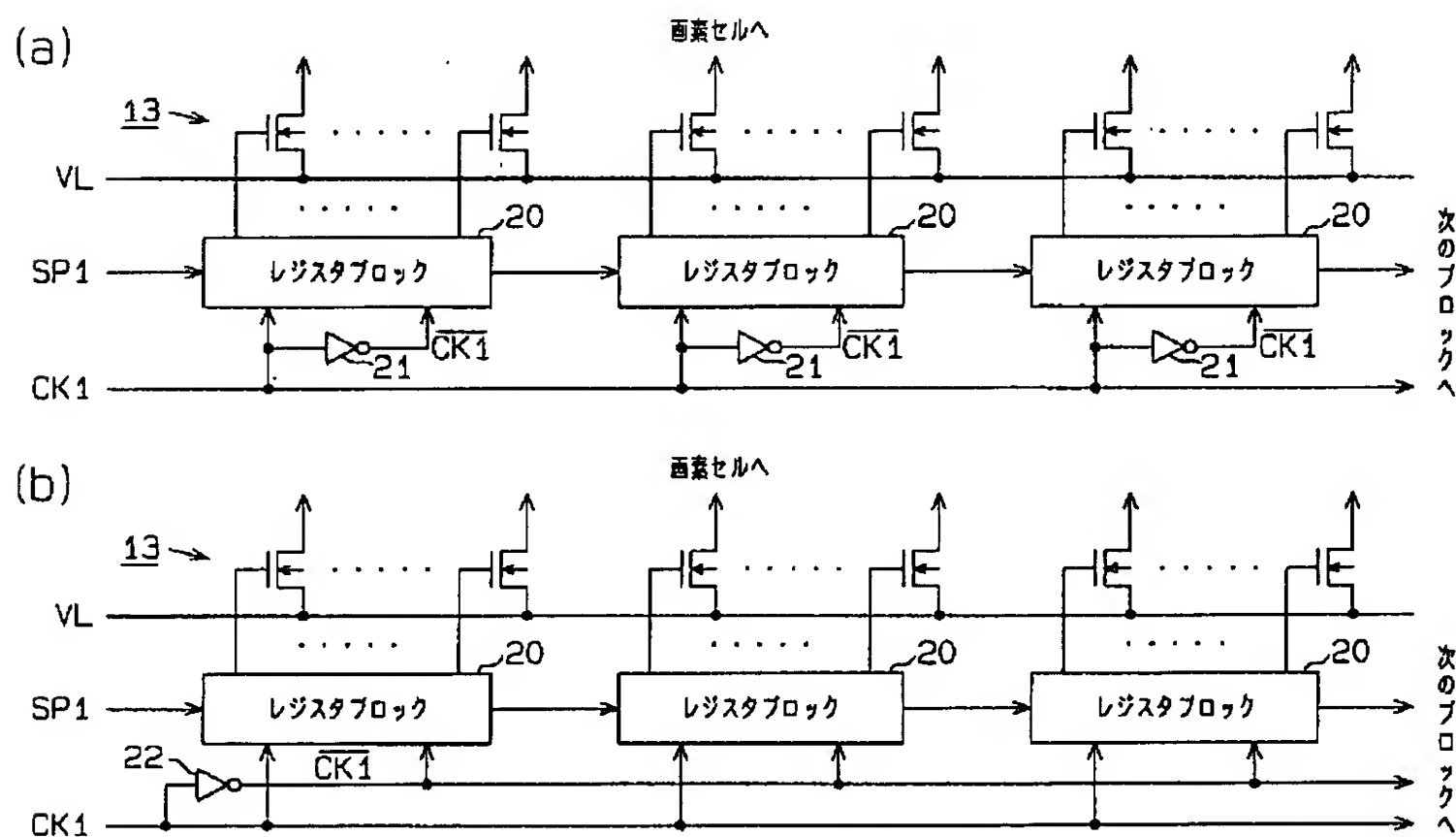
【図 2】



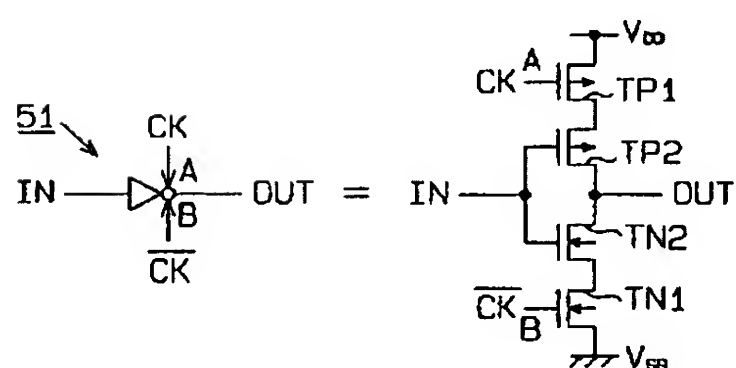
【図3】



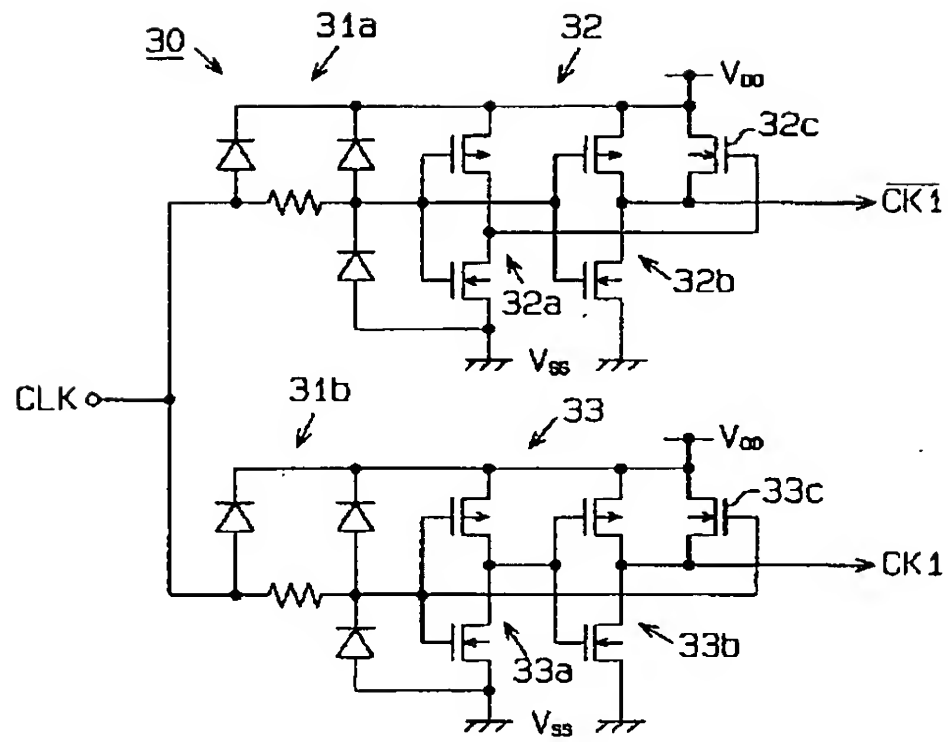
【図4】



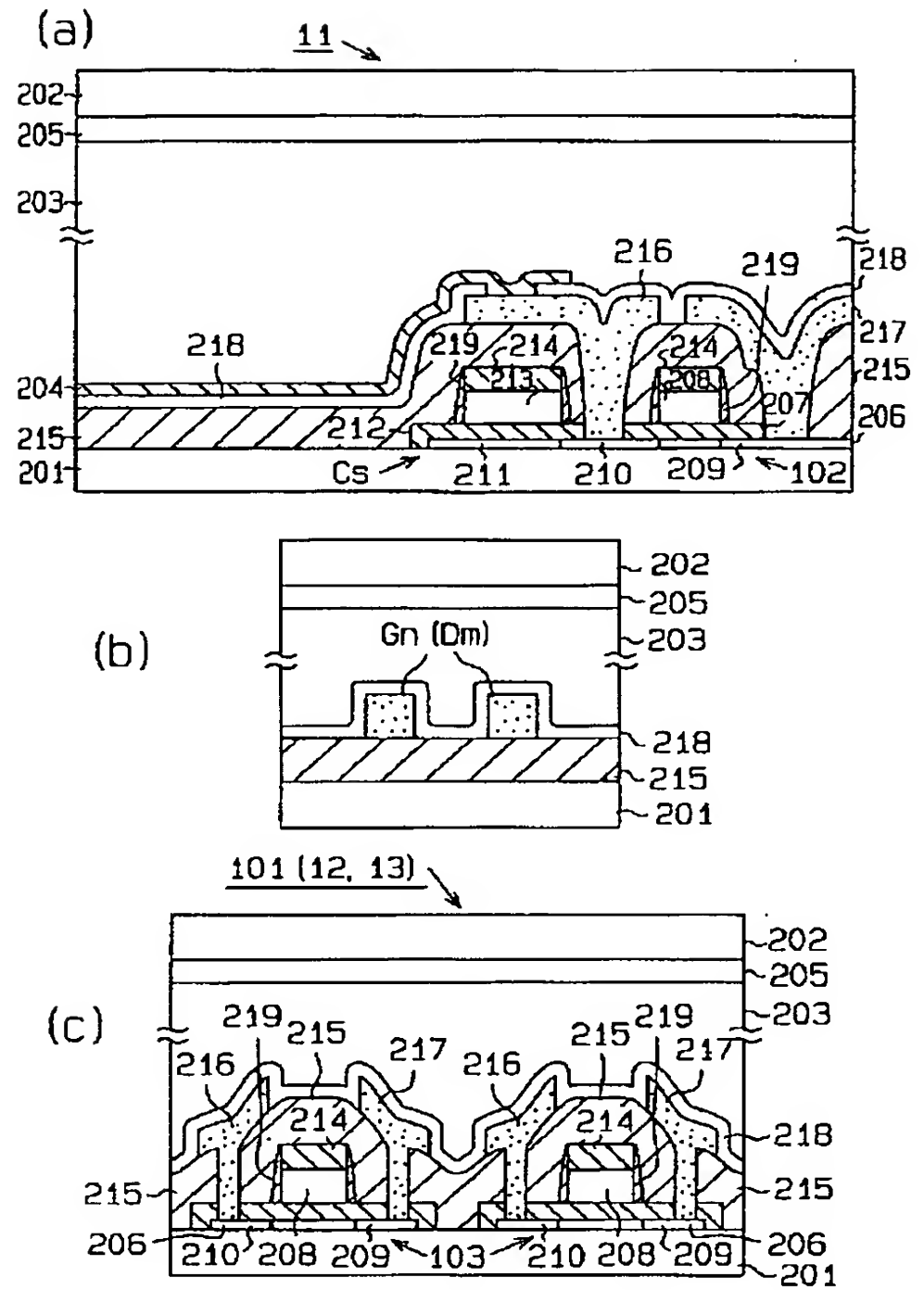
【図8】



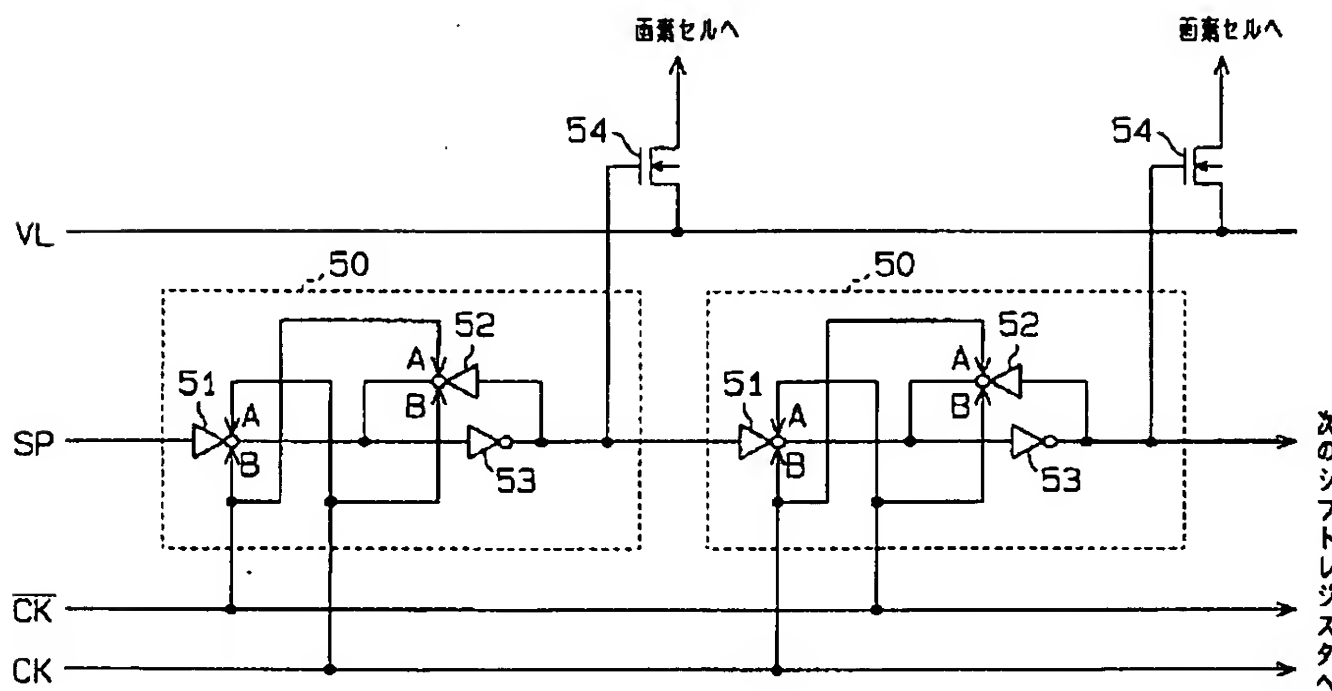
【図 5】



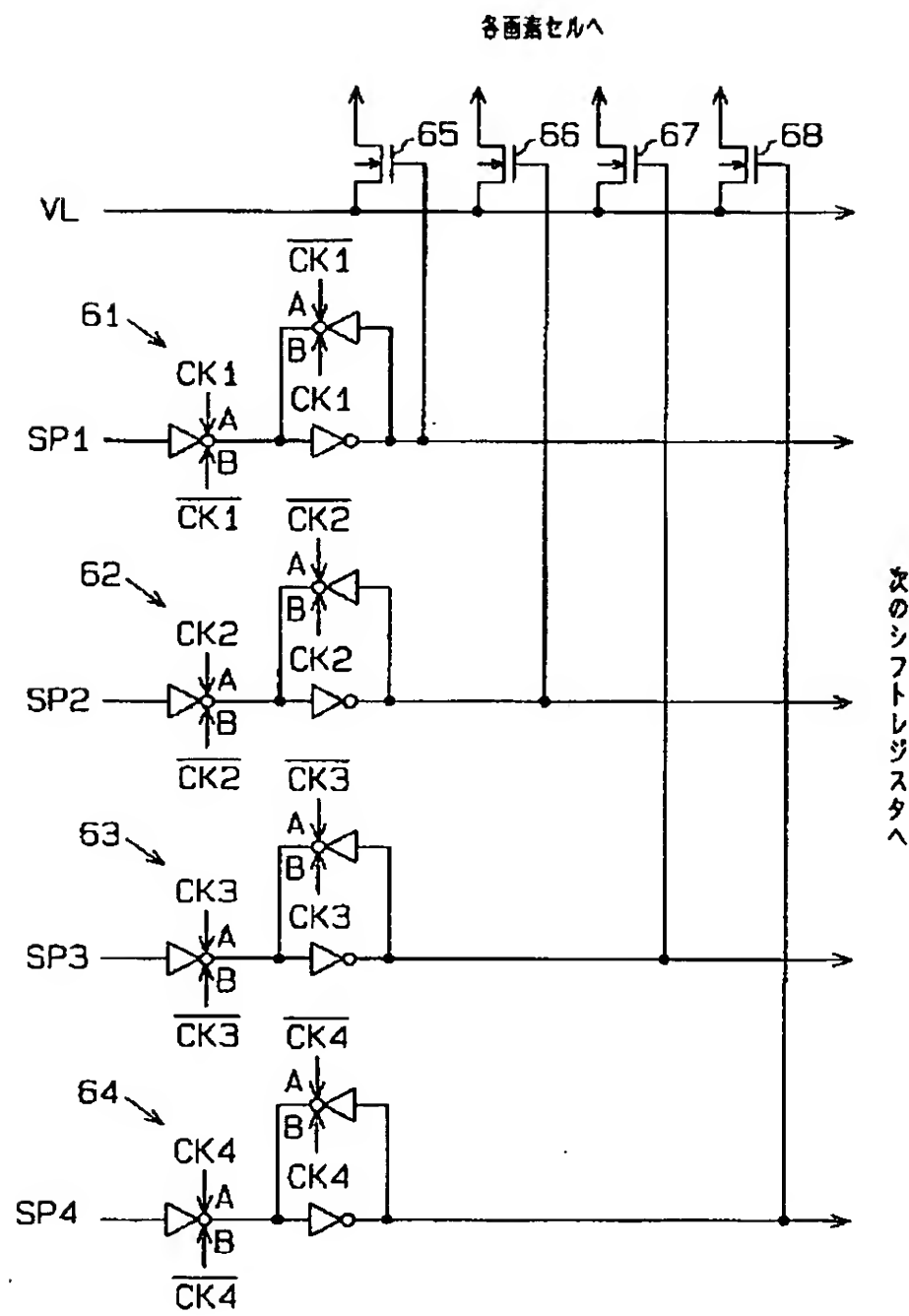
【図 6】



【図 7】



【図 9】



【図 10】

